

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-119638

(43)Date of publication of application : 15.04.2004

(51)Int.Cl. H01L 27/105
G11C 11/15
H01L 43/08

(21)Application number : 2002-280094

(71)Applicant : TDK CORP

(22)Date of filing : 25.09.2002

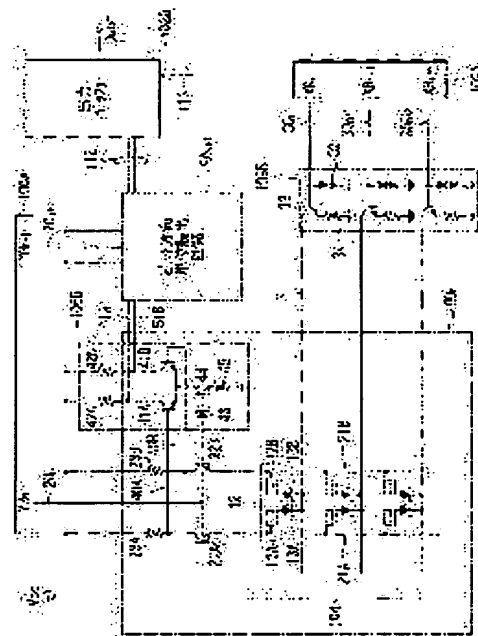
(72)Inventor : EZAKI KIICHIROU
KAKINUMA YUJI
KOGA KEIJI

(54) MAGNETIC MEMORY DEVICE AND WRITE/READ METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a magnetic memory device which can obtain a readout signal output having a high S/N and a read method of the same, and also to provide a write method of the magnetic memory device which enables information read operation in high S/N.

SOLUTION: A storage cell 12 is formed of a pair of magnetic storage elements 12A, 12B. The magnetic storage elements 12A, 12B are respectively connected at one ends to the sense bit-lines 21A, 21B, while connected at the other ends to the sense word line 31 via a pair of the reverse-current protection diodes 13A, 13B. In the grounding side of the sense word line 31, a constant current circuit 108B is arranged. The constant current circuit 108B has the function to keep constant the current flowing into the sense word line 31, and is formed of diode 32 for generating a constant voltage, a transistor 33 and a current limiting resistor 34.



LEGAL STATUS

[Date of request for examination]

08.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

Two or more 1st write-in lines,

Two or more 2nd write-in lines prolonged so that said two or more 1st write-in lines may be intersected, respectively,

Two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce by said 1st and 2nd write-in lines, while being arranged so that the layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, and the direction which met said laminating side at one field side of this layered product may be made into shaft orientations

Preparation,

The magnetic memory device characterized by constituting one storage cell including said magneto-resistive effect component of a couple.

[Claim 2]

Said magnetosensitive layer and said annular magnetic layer are connected electrically.

The magnetic memory device according to claim 1 characterized by things.

[Claim 3]

By the field which produces the both sides of the 1st [which pierces through said annular magnetic layer], and 2nd write-in lines according to the flowing current, it changes so that the magnetization direction of each magnetosensitive layer in the magneto-resistive effect component of said couple may turn to anti-parallel mutually, and information is memorized by said storage cell.

The magnetic memory device according to claim 1 or 2 characterized by things.

[Claim 4]

The 1st condition of one side of the magnetosensitive layer of the couple in the magneto-resistive effect component of said couple being magnetized in the 1st direction, and being magnetized in the 2nd direction in which another side makes said 1st direction and anti-parallel, It takes whether it is the 2nd condition and ***** which one side of the magnetosensitive layer of said couple magnetizes in said 2nd direction, and another side magnetizes in said 1st direction, and information is memorized by said storage cell corresponding to said 1st and 2nd conditions.

The magnetic memory device according to claim 3 characterized by things.

[Claim 5]

It connects with the magneto-resistive effect component of said couple, respectively, and has the 1st read-out line of the couple which supplies a read-out current to each magneto-resistive effect component, Based on the current which flows to said each layered product, reading appearance of the information is carried out from said storage cell.

A magnetic memory device given in any 1 term of claim 1 characterized by things thru/or claim 4.

[Claim 6]

A read-out current is supplied to each of the magneto-resistive effect component of said couple from each of the 1st read-out line of said couple, and reading appearance of the information is carried out from said storage cell based on the difference of the read-out current value of this couple.

The magnetic memory device according to claim 5 characterized by things.

[Claim 7]

The rectifying device formed on the current path of the read-out current supplied to the magneto-resistive effect component of said couple,

The 2nd read-out line which leads the read-out current which flowed the magneto-resistive effect component of said couple to touch-down

The magnetic memory device according to claim 6 characterized by preparation *****.

[Claim 8]

On each current path of the read-out current supplied to the magneto-resistive effect component of said couple, said rectifying device is formed, respectively.

The magnetic memory device according to claim 7 characterized by things.

[Claim 9]

The rectifying device of said couple is formed, respectively between the 1st read-out line of said couple, and the magneto-resistive effect component of said couple.

The magnetic memory device according to claim 8 characterized by things.

[Claim 10]

The rectifying device of said couple is formed, respectively between the magneto-resistive effect component of said couple, and the 2nd read-out line of said couple.

The magnetic memory device according to claim 8 characterized by things.

[Claim 11]

Said rectifying device is schottky diode, PN-junction diode, a bipolar transistor, or MOS (Metal-Oxide-Semiconductor). It is either of the transistors.

A magnetic memory device given in any 1 term of claim 7 characterized by things thru/or claim 10.

[Claim 12]

A magnetic memory device given in any 1 term of claim 6 characterized by having the current regulator circuit which has the current convention function to specify the total of a read-out current which flows the magneto-resistive effect component of the couple in one storage cell thru/or claim 11.

[Claim 13]

Said current regulator circuit is constituted using the band gap reference.

The magnetic memory device according to claim 12 characterized by things.

[Claim 14]

Said current regulator circuit is constituted combining diode, the transistor, and the resistor.

The magnetic memory device according to claim 12 or 13 characterized by things.

[Claim 15]

Said transistor in said current regulator circuit,

It adds to said current convention function,

It functions on the magneto-resistive effect component of said couple also as the 1st solid state switch for choosing whether a read-out current is passed.

The magnetic memory device according to claim 14 characterized by things.

[Claim 16]

Said current regulator circuit is arranged between said 2nd read-out line and touch-down.

A magnetic memory device given in any 1 term of claim 12 characterized by things thru/or claim 15.

[Claim 17]

Between each of the 1st read-out line of said couple, and a power source, the resistor for current potential conversion of a couple is prepared.

A magnetic memory device given in any 1 term of claim 6 characterized by things thru/or claim 16.

[Claim 18]

Said resistor for current potential conversion has larger resistance than the resistance of said magneto-resistive effect component.

The magnetic memory device according to claim 17 characterized by things.

[Claim 19]

Furthermore, it is prepared for every read-out line [the] of said couple, and has the sense amplifier circuit which detects the difference of the read-out current which flows these 1st read-out line as an electrical-potential-difference difference, and amplifies it,

The terminal of an opposite hand is connected to the input edge of said sense amplifier circuit with said power-source side in each of the resistor for current potential conversion of said couple.

The magnetic memory device according to claim 17 or 18 characterized by things.

[Claim 20]

Further,

With said power-source side in each of the resistor for current potential conversion of said couple, it is prepared in an opposite hand and has the 2nd solid state switch of the couple for choosing whether a read-out current is supplied to the magneto-resistive effect component of said couple,

Accumulation arrangement of the 2nd solid state switch of said couple, the resistor for current potential conversion of said couple, and said sense amplifier circuit is carried out into the same field.

The magnetic memory device according to claim 19 characterized by things.

[Claim 21]

The 2nd solid state switch of said couple, the resistor for current potential conversion of said couple, and said sense amplifier circuit constitute the symmetrical circuit, respectively.

The magnetic memory device according to claim 20 characterized by things.

[Claim 22]

Two or more 1st write-in lines,

Two or more 2nd write-in lines prolonged so that said two or more 1st write-in lines may be intersected, respectively,

Two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce by said 1st and 2nd write-in lines, while being arranged so that the layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, and the direction which met said laminating side at one field side of said layered product may be made into shaft orientations

It is the approach of writing in information to a preparation ***** memory device,

One storage cell is constituted so that the magneto-resistive effect component of a couple may be included,

Information is written in said storage cell by making it change so that the magnetization direction of said magnetosensitive layer in each of the magneto-resistive effect component of said couple may turn to anti-parallel mutually by the field which produces the both sides of the said 1st and 2nd write-in lines which pierce through said annular magnetic layer according to the flowing current.

The write-in approach of the magnetic memory device characterized by things.

[Claim 23]

Two or more 1st write-in lines,

Two or more 2nd write-in lines prolonged so that said two or more 1st write-in lines may be intersected, respectively,

Two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce by said 1st and 2nd write-in lines, while being arranged so that the layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, and the direction which met said laminating side at one field side of said layered product may be made into shaft orientations

It is the approach of reading information from a preparation ***** memory device,

One storage cell is constituted so that the magneto-resistive effect component of a couple may be included,

A read-out current is supplied in the direction vertical to the laminating side of each layered product at the magneto-resistive effect component of said couple,

The information on said storage cell is read based on the current which flows to said layered product.

An approach to read the magnetic memory device characterized by things.

[Claim 24]

A read-out current is supplied to each of the magneto-resistive effect component of said couple, and the information on said storage cell is read based on the difference of the read-out current value of this couple.

An approach to read the magnetic memory device according to claim 23 characterized by things.

[Claim 25]

It is the magnetic memory device constituted so that it might have two or more 2nd write-in lines prolonged so that two or more 1st write-in lines and said two or more 1st write-in lines may be intersected, respectively, and

two or more magneto-resistive effect components which have the magnetosensitive layer from which the magnetization direction changes with external magnetic fields, respectively and one storage cell might contain the magneto-resistive effect component of a couple,

The read-out line of the couple for supplying a read-out current to the magneto-resistive effect component of the couple of said storage cell, respectively,

The read-out circuit which reads information from said storage cell based on the difference of the value of the read-out current of the couple supplied to the magneto-resistive effect component of said couple from the read-out line of said couple, respectively,

The current regulator circuit which has the current convention function to specify the total of a read-out current which flows the magneto-resistive effect component of the couple in one storage cell

The magnetic memory device characterized by preparation *****.

[Claim 26]

Said current regulator circuit,

Diode,

The transistor which functions on the magneto-resistive effect component of said couple also as a solid state switch for choosing whether a read-out current is passed in addition to said current convention function,

Resistor

The magnetic memory device according to claim 25 characterized by carrying out combination *****.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the write-in approach of a magnetic memory device, and the read-out approach at the magnetic memory device and list which are constituted using a magnetic-thin-film memory device.

[0002]

[Description of the Prior Art]

Conventionally, volatile memory, such as DRAM (Dynamic Random Access Memory) and SRAM (Static RAM), is used as general-purpose memory used for information processors, such as a computer and mobile communication equipment. All information is lost if such volatile memory always does not supply a current. Therefore, it is necessary to establish a means, i.e., nonvolatile memory, to memorize information, and a flash EEPROM, a hard disk drive unit, etc. are used. In such nonvolatile memory, improvement in the speed of access has been an important technical problem with improvement in the speed of information processing. Furthermore, development of the information machines and equipment which can process information anywhere at any time and which aimed at the so-called YUPIKITASU computing is quickly furthered with rapid spread and high-performance-izing of a portable information device. As a key device in development of such a device, development of high-speed nonvolatile memory is called for strongly.

[0003]

MRAM (Magnetic Random Access Memory) is known as a technique effective in improvement in the speed of nonvolatile memory. MRAM consists of magnetic cells which each storage cell arranged in the shape of a matrix equipped with two ferromagnetic layers. in each storage cell, it corresponds to "0" or "1" binary information -- making -- magnetization of the ferromagnetic layer of a component -- an easy axis -- meeting -- parallel -- or -- anti- -- information is memorized by considering as a condition [****]. In a magnetic cell, the magnetization direction of a ferromagnetic layer changes in the resistance of the specific direction with parallel or anti-parallel. Therefore, reading appearance of the information is carried out from a storage cell by detecting the difference in the resistance made to correspond to information as change of a current or an electrical potential difference. Since it operates by such principle, in order to perform stable writing/read-out, in MRAM, it is important that resistance rate of change is large as much as possible.

[0004]

MRAM by which current utilization is carried out uses giant magneto-resistance (GMR:Giant magneto-resistive). With GMR, when two magnetic layers are arranged so that in parallel [an easy axis], and the magnetization direction of these each class becomes parallel in accordance with an easy axis, it is the phenomenon in which resistance serves as min and becomes with max in anti-parallel. As MRAM (it is henceforth written as GMR-MRAM) using a GMR component, the technique indicated by the patent reference 1, for example is known.

[0005]

There are a coercive force difference type (Pseudo Spin Valve mold) and an exchange bias mold (Spin Valve mold) in GMR-MRAM. The non-magnetic layer whose GMR component was pinched between two ferromagnetic layers and them carries out a laminating, and is constituted, and MRAM of a Pseudo Spin Valve mold performs writing/read-out of information using the difference of the coercive force of two ferromagnetic layers. Moreover, as for MRAM of a Spin Valve mold, two ferromagnetic layers consist [the magnetization

direction] of free layers from which the magnetization direction can change by the fixed bed currently fixed and the external magnetic field. By carrying out antiferromagnetism association with an antiferromagnetism layer on both sides of a non-magnetic layer, magnetization is stabilized by this fixed bed and it is fixed. The resistance rate of change of each type of GMR component is about 10% also with the component of the Spin Valve mold which takes the laminated structure of (PtMn/CoFe/Cu/CoFe) about 6 to 8% with the component of the Pseudo Spin Valve mold which takes the laminated structure of (NiFe/Cu/Co). therefore, reading appearance is carried out, an output is not yet obtained fully but it is supposed that it is difficult to improve [which makes a resistance difference a current or the difference of an electrical potential difference] storage capacity and an access rate.

[0006]

in that respect, in MRAM (it is henceforth written as TMR-MRAM) using the ferromagnetic tunnel effect (TMR: Tunneling magneto-resistive), resistance rate of change can be boiled markedly and can be enlarged. In TMR, it is the phenomenon in which the tunnel current which flows an insulating layer by whenever [angular relation / of the mutual magnetization direction] changes, in two ferromagnetic layers, the fixed bed to which the magnetization direction was fixed, and the magnetosensitive layer, i.e., the free layer, from which the magnetization direction can change, by which the laminating was carried out on both sides of the ultra-thin insulating layer. That is, when the magnetization direction is parallel, tunnel current serves as max (the resistance of a cel is min), and in anti-parallel, tunnel current serves as min (the resistance of a cel is max). As an example of a TMR component, although the laminated structure of CoFe/Al-oxide/CoFe is known, the resistance rate of change reaches to 40% or more.

[0007]

Moreover, since resistance of a TMR component is high, it is supposed that it is easy to take matching at the time of combining with semiconductor devices, such as an MOS mold field-effect transistor (MOSFET: Metal Oxide Semiconductor Field Effect Transistor). From the above advantage, TMR-MRAM is easy a high increase in power as compared with GMR-MRAM, and improvement in storage capacity or an access rate is expected. As TMR-MRAM, the technique indicated by the patent reference 2 and the patent reference 3 is known.

[0008]

In TMR-MRAM, the method to which the magnetization direction of a ferromagnetic layer is changed using the current field guided according to the current passed to lead wire is taken about informational writing. Thereby, binary information is memorized corresponding to the relative magnetization direction between ferromagnetic layers (parallel or anti-parallel). About read-out of storage information, the method of detecting a sink, a tunnel current value, or tunnel resistance is perpendicularly taken by the stratification plane in the current to the insulating layer. In this case, the difference in the relative magnetization direction between ferromagnetic layers (parallel or anti-parallel) appears as a difference of an output current value thru/or a cell resistance value.

[0009]

What each TMR component is made to correspond and arranges the semiconductor device for selection after carrying out parallel connection of two or more TMR components on the data line as the cel array structure, and the thing to arrange for every data line are proposed. The diode constituted by short-circuiting between the gate drains of MOSFET and FET, pn junction diode, schottky diode, etc. are used for a semiconductor device. Moreover, a TMR component is arranged in the shape of a matrix using the line data line and a string data line, and what arranged the transistor for selection for every data line is proposed.

[0010]

among these, the structure which arranges the semiconductor device for selection to each TMR component has the property which carried out reading appearance and was most excellent in the field of the power consumption effectiveness at the time. However, when dispersion has arisen in the property of each semiconductor device, the noise resulting from it cannot be disregarded. In addition, if the noise combined with the data line, the noise by property dispersion of a sense amplifier, and the noise of the circumference circuit around which it turns from a power circuit are also taken into consideration, the S/N ratio of the output voltage of a storage cell may not be set to about several dB.

[0011]

Therefore, the following amelioration has been made by the cel array of TMR-MRAM that the S/N ratio of a read-out output should be improved.

[0012]

the output voltage V of one storage cell which being used well chose -- reference voltage V_{ref} -- comparing -- the difference -- it is the approach of carrying out the differential amplifier of the electrical potential difference V_{sig} . The object of a differential amplifier is removing the noise made in the data-line pair to which a storage cell's is connected [1st], and is removing offset of the output voltage by the object for sense line actuation, or property dispersion of the semiconductor device for cel selection to the 2nd. However, since the generating circuit of reference voltage V_{ref} is realized by the circuit which used the dummy cell and the semiconductor device and property dispersion of a component exists also between this circuit and storage cell, it is theoretically impossible to remove offset of output voltage thoroughly.

[0013]

As what solves this, one pair of TMR components constitute a storage cell, and, generally the approach of carrying out the differential amplifier of the output from the component which makes these pairs is learned widely. In this approach, as the magnetization direction of the magnetosensitive layer of each TMR component which makes a pair always serves as anti-parallel mutually, writing is made. That is, in one component, with the component of parallel and another side, magnetization of both layers writes in complementary so that it may become anti-parallel mutually, and it removes common mode noise by carrying out the differential amplifier of the output of two components, and reading it, and magnetization of a magnetosensitive layer and magnetization of the fixed bed raise a S/N ratio. The circuitry of such a differential amplifier mold is indicated in the patent reference 4, the patent reference 5, nonpatent literature 1, etc.

[0014]

If it illustrates more concretely, with the technique indicated by the patent reference 4 and the patent reference 5, the 1st TMR component and the 2nd TMR component which constitute a storage cell will be connected independently [each end] to the 1st and 2nd data line of a couple, and both the other ends will be connected to a bit line through the same semiconductor device for cel selection. A word line is connected to the semiconductor device for cel selection. informational reading appearance -- carrying out -- the difference of the amount of currents which gives the potential difference between a bit line and these 1st and 2nd data lines, and flows to the 1st and 2nd data line, keeping equipotential the 1st data line and 2nd data line -- it is made by considering a value as an output.

[0015]

[Patent reference 1]

U.S. Pat. No. 5343422 official report

[Patent reference 2]

U.S. Pat. No. 5629922 official report

[Patent reference 3]

JP,9-91949,A

[Patent reference 4]

JP,2001-236781,A

[Patent reference 5]

JP,2001-266567,A

[Nonpatent literature 1]

ISSCC 2000 Digest paper TA7.2

[0016]

[Problem(s) to be Solved by the Invention]

However, in such a differential amplifier method at large, dispersion in the resistance between the TMR components which make a pair had become a problem. There is resistance dispersion produced in a manufacture process in a TMR component, and the current error resulting from this is not avoided. Therefore, a result to which the S/N ratio of an output signal falls compulsorily was brought.

[0017]

Speaking of the above-mentioned wiring structure, many TMR components are connected to the 1st and 2nd data line. In order to have been stabilized, to read from the semiconductor device for cel selection of only the number of cels of the direction of a bit string being connected to the 3rd bit line, and the matrix of a storage cell being constituted and to obtain a signal output It is necessary to fully control resistance dispersion between the

TMR components connected to each data line, and property dispersion between the semiconductor devices for selection connected to the same bit line. However, the read-out approach of giving an equipotential electrical-potential-difference difference to the 1st data line and 2nd data line can control the above-mentioned dispersion now theoretically. Therefore, taking thoroughgoing measures against the noise by these dispersion had the problem of being very difficult.

[0018]

From such a reason, although the policy was proposed one after another, in the conventional MRAM, the S/N ratio of a read-out signal is not improvable enough. Consequently, although the resistance rate of change of a TMR component reached to about 40%, sufficient output voltage was not obtained actually. that is, with the present memory structure, it carries out reading appearance, and it not only already has the problem, but it is the point of stability of operation, such as precision, and it is assumed further that it cannot respond to the densification of memory enough.

[0019]

in addition, as seen above, while much devices had been made about the configuration of an approach to carry out reading appearance of TMR-MRAM, or a readout circuitry, special amelioration was not made by the structure of the TMR component itself until now. [0020]

this invention was made in view of this trouble, and the object has a S/N ratio in offering the write-in approach of the magnetic memory device which makes high information read-out possible at the approach in which the thing with a high S/N ratio which reading appearance is carried out and is acquired for a signal output is possible to read a magnetic memory device and a magnetic memory device, and a list.

[0021]

[Means for Solving the Problem]

The magnetic memory device concerning the 1st viewpoint of this invention Two or more 1st write-in lines and two or more 2nd write-in lines prolonged so that two or more 1st write-in lines may be intersected, respectively, The layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, It has two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce by the 1st and 2nd write-in lines, while being arranged so that the direction which met the laminating side at one field side of this layered product may be made into shaft orientations. One storage cell is constituted including the magneto-resistive effect component of a couple.

[0022]

Here, the "external magnetic field" means the field produced according to the current which flows on the 1st and 2nd write-in lines, or the reflux field produced in an annular magnetic layer. Moreover, when it sees from the 1st and 2nd write-in lines which penetrated the interior at least, annular [of an "annular magnetic layer" / "annular"] continues magnetically and electrically, encloses each perimeter thoroughly, and shows the condition that the cross section of the direction which crosses the 1st or 2nd write-in line has closed. Therefore, as long as it is continuation magnetically [an annular magnetic layer] and electrically, it permits that an insulator contains. What may contain the oxide film of extent generated in a production process is undoubted. "Shaft orientations" points out the extension direction of the 1st [which penetrates the direction of opening when observing this annular magnetic layer simple substance i.e., the interior,], and 2nd write-in lines. furthermore, one field side of "layered product -- it arranges -- having -- " -- a layered product is the meaning of also including the case where it is arranged so that an annular magnetic layer besides in case an annular magnetic layer is arranged as another object at one field side of a layered product may contain a part of layered product.

[0023]

In this magnetic memory device, one unit information is memorized using two magneto-resistive effect components which can memorize 1 unit information independently. Moreover, each of a magneto-resistive effect component forms a closed magnetic circuit in an annular magnetic layer by passing a current on the 1st and 2nd write-in lines. Thereby, flux reversal of a magnetosensitive layer is performed efficiently.

[0024]

As for this magnetic memory device, it is desirable that a magnetosensitive layer and an annular magnetic layer are what is connected electrically. The current which flows in the direction vertical to the laminating side of a

layered product by this comes to flow from a magnetosensitive layer to an annular magnetic layer.

[0025]

Furthermore, as for this magnetic memory device, it is desirable that it is that with which change so that the magnetization direction of each magnetosensitive layer in the magneto-resistive effect component of a couple may turn to anti-parallel mutually, and information is remembered to be by the storage cell by the field which produces the both sides of the 1st [which pierces through an annular magnetic layer], and 2nd write-in lines according to the flowing current. It contains, also when the include angle which originates in the error produced on manufacture besides in case the include angle which the magnetization direction of the average magnetization in a magnetic layer where it is mutual "the magnetization directions being anti-parallel mutually" in this invention, i.e., the direction, makes is 180 degrees strictly, the error of extent produced although not monopodium-ized thoroughly therefore, and the mutual magnetization direction makes has separated only from the predetermined include angle from 180 degrees. Moreover, "information" means the binary information generally expressed with "0", "1" or "High" by the current value or the electrical-potential-difference value, "Low", etc. in the I/O signal to a magnetic memory device.

[0026]

At this magnetic memory device, information is memorized in the magneto-resistive effect component of a couple in the condition that the magnetization direction of a magnetosensitive layer serves as anti-parallel mutually.

[0027]

The 1st condition of one side of the magnetosensitive layer of the couple in the magneto-resistive effect component of a couple being magnetized in the 1st direction, and more specifically being magnetized in the 2nd direction in which another side makes the 1st direction and anti-parallel, It is desirable to take whether it is the 2nd condition and ***** which one side of the magnetosensitive layer of a couple magnetizes in the 2nd direction, and another side magnetizes in the 1st direction, and for information to be memorized by the storage cell corresponding to the 1st and 2nd conditions. At this time, two conditions of whether magnetization of both magnetosensitive layers in the magneto-resistive effect component of a couple faces mutually or to become the reverse sense are taken, and binary information corresponds to this.

[0028]

Further, it connects with the magneto-resistive effect component of a couple, respectively, and the magnetic memory device concerning the 1st viewpoint of this invention is equipped with the 1st read-out line of the couple which supplies a read-out current to each magneto-resistive effect component, and it is constituted so that reading appearance of the information may be carried out from a storage cell based on the current which flows to each layered product. in addition, the magnetic memory device of this invention -- setting -- "-- it connects -- having -- " -- the condition of having connected electrically at least is pointed out and it does not necessarily make to connect directly physically into conditions.

[0029]

In this magnetic memory device, read-out of information is performed to these stratification planes using the current values at the time of passing a current perpendicularly differing according to the relative magnetization direction of the magnetosensitive layer of the magneto-resistive effect component which makes a pair.

[0030]

About information read-out, it is desirable for a read-out current to be supplied respectively and to read [of the magneto-resistive effect component of each of the 1st read-out line of a couple to a couple] information from a storage cell based on the difference of the read-out current value of this couple. According to this method, since a differential output is carried out, the offset component contained in the noise made on the 1st read-out line of each and the output value for every magneto-resistive effect component is offset, and a read-out current is removed.

[0031]

Moreover, as for the magnetic memory device concerning the 1st viewpoint of this invention, it is desirable to have the 2nd read-out line which leads the read-out current which flowed the rectifying device formed on the current path of the read-out current supplied to the magneto-resistive effect component of a couple and the magneto-resistive effect component of a couple to touch-down. The "rectifying device" of this invention makes only an one direction pass a current, and means the component which prevents passage of the current of hard

flow. Moreover, a "current path" is followed in order that a read-out current may flow into a magneto-resistive effect component, passes a magneto-resistive effect component and means the whole path flowing out. The rectifying device has the rectification which passes a current only in the touch-down direction (2nd read-out line side) on the above-mentioned current path. It is prevented from other storage cells connected to the 2nd common read-out line toward each storage cell for read-out by this rectifying device that a current turns.

[0032]

Furthermore, it is desirable that the rectifying device is formed on each current path of the read-out current of a couple, respectively. In that case, a current flowing from a magneto-resistive effect component to the component of another side, and passing even on the 1st read-out line also in the storage cell for read-out, is prevented. The rectifying device of a couple may be formed, respectively between the 1st read-out line of a couple, and the magneto-resistive effect component of a couple, and may be formed, respectively between the magneto-resistive effect component of a couple, and the 2nd read-out line of a couple. Schottky diode, PN-junction diode, a bipolar transistor, or an MOS transistor is suitably used for a rectifying device.

[0033]

Furthermore, in the magnetic memory device concerning the 1st viewpoint of this invention, it is more desirable to have the current regulator circuit which has the current convention function to specify the total of a read-out current which flows the magneto-resistive effect component of the couple in one storage cell. Thereby, even if the read-out current is feeble, total is controlled so that only a constant rate always flows. Moreover, between the magneto-resistive effect components which make a pair within a storage cell, or the magneto-resistive effect component between storage cells, since dispersion arises in resistance in many cases, the flowing amount of currents may also usually vary. On the other hand, a current regulator circuit is established in a readout-circuitry system as mentioned above, and dispersion in the output current value which originates in dispersion in the resistance between magneto-resistive effect components by passing the read-out current always standardized by each storage cell at the fixed value is stored within fixed limits.

[0034]

The current regulator circuit in this invention can be constituted using a band gap reference, and can consist of combination of diode, a transistor, and a resistor. In addition to a current convention function, a transistor can be then used as what functions also as the 1st solid state switch for choosing whether a read-out current is passed for the magneto-resistive effect component of a couple. Moreover, a current regulator circuit is good to arrange between the 2nd read-out line and touch-down.

[0035]

Furthermore, in the magnetic memory device concerning the 1st viewpoint of this invention, it is desirable that the resistor for current potential conversion of a couple is prepared between each of the 1st read-out line of a couple and a power source. In this invention, "power sources" is a current required for circuit actuation thru/or a supply source of an electrical potential difference, and means the internal electrical power source line of a magnetic memory device. A voltage output is taken out from a read-out current by the voltage drop in the resistor for current potential conversion of this couple. In order to acquire a big output value, as for this resistor for current potential conversion, it is desirable to have larger resistance than the resistance of a magneto-resistive effect component.

[0036]

Moreover, it is prepared for every read-out line [the] of a couple, and has the sense amplifier circuit which detects the difference of the read-out current which flows these 1st read-out line as an electrical-potential-difference difference, and amplifies it, and, as for the power-source side in each of the resistor for current potential conversion of a couple, it is desirable to connect the terminal of an opposite hand to the input edge of a sense amplifier circuit. The electrical potential difference produced at the end by the side of the power source of the resistor for current potential conversion is amplified by this sense amplifier circuit.

[0037]

Furthermore, as for the power-source side in each of the resistor for current potential conversion of a couple, it is [the magnetic memory device concerning the 1st viewpoint of this invention] more desirable to be prepared in an opposite hand, to have the 2nd solid state switch of the couple for choosing whether a read-out current is supplied to the magneto-resistive effect component of a couple, and to carry out accumulation arrangement of the 2nd solid state switch of these couples, the resistor for current potential conversion of a couple, and the

sense amplifier circuit into the same field. That is, the 2nd solid state switch of a couple and the resistor for current potential conversion of a couple are formed in the field in which the sense amplifier circuit is formed. Each of the component used as a pair is approached and arranged, the temperature change under actuation becomes almost equal, and it is prevented that a gap arises in mutual weighted solidity. Moreover, when the 2nd solid state switch of these couples, the resistor for current potential conversion of a couple, and the sense amplifier circuit constitute the symmetrical circuit, respectively, a proper differential-output-voltage value comes to be acquired, and it is desirable. In addition, the electrical characteristics of the component used as the pair which constitutes a "symmetrical" circuit here are in abbreviation etc. by carrying out, and mean things.

[0038]

The write-in approach of the magnetic memory device of this invention is the approach of writing in information to the 1st magnetic memory device of this invention, and writes information in a storage cell by making it change so that the magnetization direction of the magnetosensitive layer in each of the magneto-resistive effect component of a couple may turn to anti-parallel mutually by the field which produces the both sides of the 1st [which pierces through an annular magnetic layer], and 2nd write-in lines according to the flowing current.

[0039]

By the write-in approach of the magnetic memory device of this invention, binary information is written in the magneto-resistive effect component of a couple by changing the magnetization direction of a magnetosensitive layer to whether they are anti-parallel, i.e., whether to be facing each other and the reverse sense, mutually. In order to consider the magnetization direction of a magnetosensitive layer as anti-parallel mutually between the magneto-resistive effect components used as a pair, let mutually the current which flows on the 1st of each component, and the 2nd write-in line be the reverse sense between components. Thereby, the sense of the field guided to a current serves as anti-parallel mutually between each magnetosensitive layer, and magnetization of each magnetosensitive layer is fixed to this sense.

[0040]

An approach to read the magnetic memory device of this invention reads the information written in the 1st magnetic memory device of this invention, supplies a read-out current in the direction vertical to the laminating side of each layered product to the magneto-resistive effect component of a couple, and reads the information on a storage cell based on the current which flows to a layered product.

[0041]

By the approach to read the magnetic memory device of this invention, it uses that the current values at the time of passing a current perpendicularly at these stratification planes differ according to the relative magnetization direction of the magnetosensitive layer of the couple of a magneto-resistive effect component which makes a pair. That is, reading appearance of the information is carried out based on the value of the read-out current which flows into the layered product part of a magneto-resistive effect component.

[0042]

Furthermore, as for an approach to read the magnetic memory device of this invention, it is desirable to supply a read-out current to each of the magneto-resistive effect component of a couple, and to read the information on a storage cell based on the difference of the read-out current value of this couple. In this case, since the differential output of the read-out current is carried out, the offset component contained in the noise made on the 1st read-out line of each or the output value for every magneto-resistive effect component is removed.

[0043]

The magnetic memory device concerning the 2nd viewpoint of this invention Two or more 1st write-in lines and two or more 2nd write-in lines prolonged so that two or more 1st write-in lines may be intersected, respectively, It has two or more magneto-resistive effect components which have the magnetosensitive layer from which the magnetization direction changes with external magnetic fields, respectively. The read-out line of the couple for being the magnetic memory device constituted so that one storage cell might contain the magneto-resistive effect component of a couple, and supplying a read-out current to the magneto-resistive effect component of the couple of a storage cell, respectively, The read-out circuit which reads information from a storage cell based on the difference of the value of the read-out current of the couple supplied to the magneto-resistive effect component of a couple from the read-out line of a couple, respectively, It has the current regulator circuit which has the current convention function to specify the total of a read-out current which flows

the magneto-resistive effect component of the couple in one storage cell.

[0044]

In this 2nd magnetic memory device, each storage cell consists of magneto-resistive effect components of a couple, and reading appearance of the information is carried out based on the difference of the read-out current of the couple which flows the magneto-resistive effect component which makes a pair. Dispersion in the read-out current which originates in resistance dispersion between magneto-resistive effect components by the total of a read-out current which flows the magneto-resistive effect component of a couple by the current regulator circuit being specified in that case is stored within fixed limits. In this 2nd magnetic memory device, an annular magnetic layer may not be made into the indispensable requirements for a configuration, but the magneto-resistive effect component of a couple may have the configuration in which the 1st write-in line and the 2nd write-in line are located in one field side of the layered product containing a magnetosensitive layer. In addition, a current regulator circuit can be constituted combining diode, the transistor which functions on the magneto-resistive effect component of a couple also as a solid state switch for choosing whether a read-out current is passed in addition to a current convention function, and a resistor.

[0045]

[Embodiment of the Invention]

Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0046]

Drawing 1 is drawing having shown the configuration of the magnetic whole memory device concerning the gestalt of 1 operation of this invention. This magnetic memory device is MRAM embodied as the so-called semi-conductor memory chip, and is using an address buffer 101, a data buffer 102, the control logic section 103, the storage cell group 104, the direction actuation circuit section 106 of Y, and the direction actuation circuit section 108 of X as main components. In this case, the storage cell group 104 was arranged in the field where the center of a silicon chip is large, and, as for the magnetic memory device, the passive circuit elements of actuation circuit section 106, 108 grade and wiring were mounted in few surrounding fields.

[0047]

Many storage cells 12 arrange the storage cell group 104 in the direction of a word line (the direction of X), and the direction of a bit line (the direction of Y) so that a matrix may be constituted as a whole. Each storage cell 12 is a smallest unit which memorizes data, and the bit data of "1" and "0" are memorized. In addition, each train of the storage cell 12 in the storage cell group 104 is called the WORD train Xn, and each line is called a bit string Yn here.

[0048]

The direction actuation circuit section 106 of Y consists of direction current drive of Y 106C for sense amplifier 106B for direction address decoder of Y 106A, and read-out, and writing, and each is connected to every [of a storage cell 12] bit string Yn (Y1, Y2, --) to the storage cell group 104.

[0049]

The direction actuation circuit section 108 of X consists of direction current drive of X 108C for current regulator circuit 108B for direction address decoder of X 108A, and read-out, and writing, and each is connected to every [of a storage cell 12] WORD train Xn (X1, X2, --) to the storage cell group 104. As it follows, for example, one certain storage cell 12 was illustrated, it is chosen as a meaning by the address (Xn, Yn) of the direction of WORD inputted from direction address decoder of X 108A, and direction address decoder of Y 106A, and the direction of a bit.

[0050]

An address buffer 101 is connected to direction address decoder of Y 106A, and direction address decoder of X 108A through the address line 105, 107 while it is equipped with the external address input terminals A0-A20. This address buffer 101 incorporates the selection signal for choosing a storage cell 12 from the external address input terminals A0-A20, and has the function amplified to a required voltage level by address decoders 106A and 108A in an internal buffer amplifier. Moreover, the amplified selection signal is divided into two selection signals, the direction of a WORD train of a storage cell 12 (the direction of X), and the direction of a bit string (the direction of Y), and is inputted into each of address decoders 106A and 108A. In addition, when the magnetic memory device has two or more storage cell groups 104, the address signal for choosing one storage cell group 104 from two or more storage cell groups 104 is also inputted into an address buffer 101.

[0051]

A data buffer 102 is connected with the control logic section 103 by the control signal line 113 while it is equipped with the external data terminals D0-D7 for performing an exchange of the exterior and a digital data signal. A data buffer 102 consists of input-buffer 102A and output-buffer 102B, and operates with the control signal from the control logic section 103, respectively. It connects with direction current drive of Y 106C, and direction current drive of X 108C through the data bus 110,111 for writing, respectively, and an input buffer 102 incorporates a data signal from the external data terminals D0-D7 at the time of memory writing, amplifies it to the voltage level for which this data signal is needed with an internal buffer amplifier, and has the function outputted to current drive 106C and each 108C. It connects with sense amplifier 106B through the data bus 112 for read-out, and output-buffer 102B has the function which carries out reading appearance and outputs a data signal to the external data terminals D0-D7 by low impedance in which carry out memory reading appearance and it is sometimes inputted from sense amplifier 106B, by using an internal buffer amplifier.

[0052]

The control logic section 103 is equipped with an input terminal CS and an input terminal WE, and is connected to the data buffer 102 by the control signal line 113. The control logic section 103 performs motion control to the storage cell group 104, and the signal (chip select; CS) of whether to activate writing / read-out actuation of a magnetic memory device is inputted from an input terminal CS. Moreover, from an input terminal WE, the write-in enabling signal (write enable; WE) for changing writing/read-out is inputted. This control logic section 103 has the function which amplifies the signal level incorporated from the input terminal CS and the input terminal WE to a voltage level required of the actuation circuit section 106,108 with an internal buffer amplifier.

[0053]

[The configuration of a readout circuitry]

Next, the configuration of the readout circuitry of this magnetic memory device is explained.

[0054]

Drawing 2 is a block diagram of a circuit system which consists of a storage cell group and its readout circuitry. This readout-circuitry system is a differential amplifier mold with which a storage cell 12 consists of one pair of magnetic storage components 12A and 12B. here -- information read-out of each storage cell 12 -- the magnetic storage components 12A and 12B -- the difference of a sensing current (from the sense bit lines 21A and 21B to the magnetic storage components 12A and 12B current which is alike, respectively, flows and flows into the common sense word line 31) boiled, respectively -- a value is performed as an output.

[0055]

In this drawing, the storage cell 12 for every bit string Y_n of the storage cell group 104 and a part of readout circuitry containing sense amplifier 106B constitute the direction unit read-out circuit 80 ($--, n [80], 80n+1, --$) of a bit which is the repeat unit of a readout circuitry, and they are arranged in the direction of a bit string at juxtaposition. each of the direction unit read-out circuit 80 ($--, n [80], 80n+1, --$) of a bit is connected to direction address decoder of Y 106A through the bit decoding line 20 ($--, n [20], 20n+1, --$) -- having -- output-buffer 102B -- reading -- business -- it connects through the data bus 112. In addition, since a tooth space is insufficient for this drawing and the whole direction unit read-out circuit 80 of a bit cannot be drawn, it is made to represent with two trains and is drawing. The same is said of the storage cell group 104, and it is made to represent with a bit string Y_n and two trains of Y_{n+1} .

[0056]

The magnetic storage components 12A and 12B of each storage cell 12 are magneto-resistive effect components using GMR thru/or TMR. Here, although the case where the magnetic storage components 12A and 12B are TMR components as one example is explained, about the detailed configuration, it mentions later.

[0057]

Matrix-like wiring is made by the storage cell group 104 by the WORD decoding line 31 (it is henceforth called a sense word line for short) for sense arranged in the direction of X, and one pair of bit decoding lines 21A and 21B (it is henceforth called a sense bit line for short) for sense arranged in the direction of Y. Each storage cell 12 is arranged in these crossover locations, the storage cell 12 by which parallel connection is carried out to the common sense bit lines 21A and 21B constitutes a bit string Y_n , and the storage cell 12 connected to the common sense word line 31 in the shape of a cascade constitutes the WORD train X_n .

[0058]

one storage cell 12 -- 1 pair of magnetic storage component 12A and magnetic storage component 12B -- each end is connected to the sense bit lines 21A and 21B, and each other end is connected to the common sense word line 31 through each of one pair of diodes 13A and 13B for antisuckbacks. Here, the current path of a sensing current over each magnetic storage components 12A and 12B is made into the path of a before [from the node of the lead wire from each component, and the sense bit lines 21A and 21B / the node of the lead wire from each component, and the sense word line 31]. In addition, the sense bit lines 21A and 21B are equivalent to "1st 1 to read-out line" of this invention, and the sense word line 31 is equivalent to "the 2nd read-out line" of this invention here.

[0059]

(Connection of the direction of a bit string)

The sense bit lines 21A and 21B make a pair to every [of a storage cell 12] bit string Y_n (Y_1, Y_2, \dots), and are arranged in it. These sense bit lines 21A and 21B extend in the direction of Y so that it may pierce through the storage cell group 104, and the end is connected to the power source Vcc. Between the resistors 23A and 23B (henceforth, resistors 23A and 23B) for current potential conversion and the collector emitter of Transistors 22A and 22B is connected to the serial at the end side (power-source Vcc side) of the sense bit lines 21A and 21B, respectively. Furthermore, two or more storage cells 12 which constitute a bit string Y_n are connected to the both sides of sense bit line 21A and sense bit line 21B, respectively. The end of magnetic storage component 12A in a storage cell 12 is connected to sense bit line 21A, and, specifically, the end of magnetic storage component 12B is connected to sense bit line 21B.

[0060]

Furthermore, the bit decoding line 20 is connected to the base side of Transistors 22A and 22B. The bit decoding line 20 is connected to direction address decoder of Y 106A, and the selection signal selectively outputted to the bit string Y_n to which the storage cell 12 set from direction address decoder of Y 106A as the object of writing/read-out belongs is inputted. That is, the bit decoding line 20 ($\dots, n [20], 20n+1, \dots$) is formed corresponding to each bit string Y_n of a storage cell 12, and has the function which sends out the selection signal from direction address decoder of Y 106A to the bit string Y_n which is an object of operation. Transistors 22A and 22B are equipped with the function opened and closed as the 2nd solid state switch of a couple according to the value (bit decoding value) of the selection signal inputted from the bit decoding line 20.

[0061]

In addition, although the bit decoding line 20 and the sense bit lines 21A and 21B have the decoding function same in this way, both are clearly distinguished on actuation. That is, the bit decoding line 20 is an analog signal line aiming at detection of the feeble current with which the sense bit lines 21A and 21B flow into the magnetic storage components 12A and 12B to being the signal line which tells a selection cel from direction address decoder of Y 106A, and the value being the binary digital signal of "High" and "Low." In addition, the thing same also about the WORD decoding line 30 and the sense word line 31 as this can be said.

[0062]

Moreover, the sense amplifier input lines 40A and 40B (henceforth, input lines 40A and 40B) are drawn from the node [in / in the power source Vcc of the resistors 23A and 23B connected to the sense bit lines 21A and 21B / the edge of an opposite hand]. Resistors 23A and 23B function as bias resistance of sense amplifier 106B. That is, the sensing current which flows and goes down the sense bit lines 23A and 23B from a power source Vcc by the own voltage drop is transformed into an electrical potential difference, and it is installed in order to lead to sense amplifier 106B from input lines 40A and 40B. Moreover, Resistors 23A and 23B are the supply voltage of a power source Vcc. - It also has the function in which only phi makes low intermediate voltage level. Here, since the sensing current is feeble, a big voltage drop is obtained by Resistors 23A and 23B, and in order to enlarge the electrical-potential-difference value inputted into input lines 40A and 40B as much as possible, it is necessary to enlarge the resistance of Resistors 23A and 23B. Therefore, as for Resistors 23A and 23B, it is desirable to have about [100kohm] high resistance, and it is desirable to have larger resistance than the resistance of the magnetic storage components 12A and 12B at least.

[0063]

(Connection of the direction of a WORD train)

The storage cell 12 arranged by the same WORD train X_n (X_1, X_2, \dots) is connected to each of the sense word

line 31. However, with the gestalt of this operation, the diodes 13A and 13B for antisuckbacks as a rectifying device are arranged between the storage cell 12 and the sense word line 31. Each of the diodes 13A and 13B for antisuckbacks corresponds to the magnetic storage components 12A and 12B, and is connected according to the individual, respectively. Moreover, magnetic storage component 12A, diode 13 for antisuckbacks A, and magnetic storage component 12B and diode 13B for antisuckbacks are in the condition of having insulated mutually.

[0064]

The diode 13 for antisuckbacks is formed as an one direction component for preventing that a current flows backwards for each magnetic storage components 12A and 12B from the sense word line 31. What short-circuited between pn junction diode, schottky diode, or the base-collector of a bipolar junction transistor (BJT: Bipolar Junction Transistor), and was used as diode as diode 13 for antisuckbacks, for example, the thing which short-circuited between the gate-drain of MOSFET and was used as diode can be used.

[0065]

Moreover, between the collector emitters of a transistor 33 is connected to the earth side of the sense word line 31, and the WORD decoding line 30 (--, n [30], 30n+1, --) is arranged in it at the base side of this transistor 33 corresponding to the WORD train Xn. It connects with direction address decoder of X 108A, and the WORD decoding line 30 has the function which sends out a selection signal to the base side of a transistor 33 while the selection signal which chooses the WORD train Xn from direction address decoder of X 108A is inputted.

[0066]

A transistor 33 functions as the 1st solid state switch opened and closed according to the value (bit decoding value) of the selection signal by which a base input is carried out, and controls a flow/cutoff of the sense word line 31. BJT or MOSFET can be used for this transistor 33. In addition, the current limiting resistor 34 is formed in the emitter side of a transistor 33.

[0067]

With the gestalt of this operation, current regulator circuit 108B is further arranged in the earth side of the sense word line 31. Current regulator circuit 108B has the function which sets constant the current which flows the sense word line 31, and consists of the diodes 32, the transistors 33, and current limiting resistors 34 for constant-voltage generating. Therefore, in addition to the function as a solid state switch for WORD decoding, the transistor 33 is the thing equipped with the function to pass a fixed current between collector emitters, and the base side is connected also to the anode of diode 32. Two diodes connect diode 32 to a serial in this case.

[0068]

(Circuitry of a sense amplifier)

One sense amplifier 106B per direction unit read-out circuit 80 of a bit is prepared, incorporates the potential difference between one pair of sense bit lines 21A and 21B in each direction unit read-out circuit 80 of a bit, and has the function which amplifies this potential difference. While sense amplifier 106B of each direction unit read-out circuit 80 of a bit is connected to the sense bit lines 21A and 21B which correspond with input lines 40A and 40B, respectively, it connects with the common sense amplifier output lines 51A and 51B (henceforth, output lines 51A and 51B), and, finally all are connected to output-buffer 102B by the data bus 112 for read-out.

[0069]

In itself [sense amplifier 106B], it was constituted as the so-called differential amplifier, and has the magnification stage which consists of transistors 41A and 41B, the resistors 42A and 42B which are the bias resistance for taking out a voltage output, the transistor 44 which has the diode 43, current control function, and selection switch function for voltage drops, and the resistor 45 for voltage drops.

[0070]

Drawing 3 extracts and shows the part of sense amplifier 106B from the whole readout circuitry. Thus, cascade connection of the sense amplifier 106B prepared in each direction unit read-out circuit 80 of a bit is carried out to output lines 51A and 51B. In addition, Resistors 42A and 42B are the bias resistors which all sense amplifier 106B by which cascade connection is carried out shares.

[0071]

Input lines 40A and 40B are connected to a base side, and, as for Transistors 41A and 41B, Resistors (minding output lines 51A and 51B) 42A and 42B are connected to the collector side. Both these emitter sides are

connected to the collector side of a transistor 44. In addition, the bit decoding line 20 is connected through diode 43, and the emitter side is grounded through the resistor 45 at the base side of a transistor 44. Here, it is desirable to Resistors 42A and 42B to use accurate resistance, and, as for Transistors 41A and 41B, it is important for them that the property has gathered well.

[0072]

In addition, diode 43 uses that band gap reference, and is from the voltage level of the bit decoding line 20. - The intermediate voltage level on which only ϕ was dropped is made, and it is used in order to make this electrical-potential-difference value into the base side input voltage of a transistor 44. A transistor 44 has a current-limiting function and a function as a solid state switch opened and closed according to the bit decoding value from the bit decoding line 20.

[0073]

Moreover, each collector side is connected to output lines 51A and 51B, and the transistors 41A and 41B of each sense amplifier 106B are connected to output lines 51A and 51B and a pan through the data bus 112 for read-out at output-buffer 102B.

[0074]

Next, with reference to drawing 4 - drawing 6, the circuit arrangement pattern of the magnetic memory device in the gestalt of this operation is explained.

[0075]

Drawing 4 expresses the situation of mounting of the circumference of the direction actuation circuit section of Y of a storage cell group, and drawing 5 expresses actual circuit arrangement of the direction actuation circuit section of Y. The direction actuation circuit section 106 of Y is formed in one side of the storage cell group 104, and the bonding pad 121 is formed in the upper part. In this direction actuation circuit section 106 of Y, as seen above, each of direction address decoder of Y 106A, sense amplifier 106B, and direction current drive of Y 106C is realized considering the circuit corresponding to each bit string Y_n (Y_1 , Y_2 , --) as 1 configuration unit. While making into the unit actuation circuit DUn (DU_1 , DU_2 , --) what summarized 1 configuration unit of these circuits 106A-106C to corresponding every bit string Y_n (Y_1 , Y_2 , --), he is trying to be exactly arranged at the corresponding edge of a bit string Y_n with the gestalt of this operation by forming this unit actuation circuit DUn so that that width of face may be settled in the width of face W of a storage cell 12.

[0076]

One unit actuation circuit is shown in drawing 5. The circuit area of direction address decoder of Y 106A is formed between the power-source line 122 (V_{cc}), and the power-source line 123 of medium potential (V_m) and the ground line 124 (GND). The power-source line 123 of medium potential is a voltage source which supplies the electrical potential difference corresponding to band gap $+2\phi$ to current regulator circuit 108B etc. in the transistor for current limiting, and the direction of X. Moreover, it has extended so that the address line 105 may cross the inside of this circuit area, and address decoder 106A of each unit actuation circuit DUn connects with this.

[0077]

The circuit area of sense amplifier 106B is formed between the power-source line 125, and the power-source line 123 of medium potential and the ground line 124. In this area, it has extended so that output lines 51A and 51B may cross, and wiring is made so that cascade connection of the sense amplifier 106B of each unit actuation circuit DUn may be carried out to this. The circuit area of direction current drive of Y 106C is formed between the power-source line 125, and the power-source line 126 of medium potential and the ground line 127.

[0078]

Drawing 6 shows circuit pattern arrangement of only a sense amplifier concretely further among unit actuation circuits. As previously explained in drawing 2, sense amplifier 106B is not only matched with each bit string Y_n (Y_1 , Y_2 , --), respectively, but is connected to the power-source V_{cc} side of the sense bit lines 21A and 21B. So, it is made to carry out accumulation arrangement of Transistors 22A and 22B and the resistors 23A and 23B with sense amplifier 106B in the circuit area of sense amplifier 106B here.

[0079]

When this circuit pattern plot plan and the circuit diagram of drawing 2 and drawing 3 are contrasted, it turns out that Transistors 22A and 22B and Resistors 23A and 23B make a pair exactly inside one pair of transistors

41A and 41B in sense amplifier 106B, and are arranged. Here, the beer pads 128A and 128B are connected to the sense bit lines 21A and 21B, respectively. Moreover, although not shown in drawing 6 R> 6, the bit decoding line 20 passes the ground line 124, and is connected to direction address decoder of Y 106A. In addition, in order to help such an understanding, intentionally, the power-source line 125 is turned up, and he turns the ground line 124 down, and is trying to correspond with not drawing 5 but drawing 2 , and drawing 3 in drawing 6 .

[0080]

By the way, all of the pair of Transistors 22A and 22B, the pair of Resistors 23A and 23B, and sense amplifier 106B are differential pairs, and it is important on actuation that the property is equal to the partner who makes a pair. Therefore, although a property is arranged of course beforehand, when the temperature conditions of the installation of each circuit element still differ, output characteristics may differ. On the other hand, with the gestalt of this operation, since it approached and the circuit element which makes the above-mentioned pair is arranged, in order to both receive the same temperature change, a mutual property changes similarly and a difference hardly produces it. Thereby, change of the output value produced by the temperature change can be reduced.

[0081]

(Configuration of a magnetic memory device)

Next, the configuration of the magnetic storage components 12A and 12B used in the gestalt of this operation and a storage cell 12 is explained.

[0082]

Drawing 7 is the sectional view showing the configuration of a storage cell. Thus, as for a storage cell 12, it comes to carry the magnetic storage components 12A and 12B of one pair of right and left on a substrate 10. The layered product to which the 1st magnetic layer 1, a non-magnetic layer 2, and the 2nd magnetic layer 3 carried out the laminating of both these magnetic storage components 12A and 12B, While being arranged so that the direction which met the laminating side at one field side of this layered product may be made into shaft orientations, it is constituted including the annular magnetic layer 5 constituted so that bit line 6for store a and word line 6b for a store (the 1st, 2nd write-in line) might pierce. It is joined through the nonmagnetic conductive layer 4, and the 2nd magnetic layer 3 and annular magnetic layer 5 are connected electrically.

[0083]

moreover, the magnetic storage components 12A and 12B -- respectively -- being alike -- the lead wire 11 for read-out sensing is formed in the top face (it is the field of an opposite hand in the annular magnetic layer 5) of a layered product, and toward the substrate 10, it is constituted so that a current can be passed at right angles to a laminating side to a layered product.

[0084]

The 1st magnetic layer 1 is a ferromagnetic layer to which the magnetization direction was fixed, and the 2nd magnetic layer 3 is a ferromagnetic layer (magnetosensitive layer) from which the magnetization direction changes with external magnetic fields. On both sides of the very thin non-magnetic layer 2, the laminating of these is carried out to several nm (several 10A). In this layered product, if a vertical electrical potential difference is impressed to a laminating side between the 1st magnetic layer 1 and the 2nd magnetic layer 3, for example the electron of the 2nd magnetic layer 3 will run through a non-magnetic layer 2, will move to the 1st magnetic layer 1, and tunnel current will flow. That is, the non-magnetic layer 2 here is a tunnel barrier layer. This tunnel current changes with the relative include angles of the spin of the 1st magnetic layer 1 and the spin of the 2nd magnetic layer 3 in an interface part with a non-magnetic layer 2. Namely, when the spin of the 1st magnetic layer 1 and the spin of the 2nd magnetic layer 3 are mutually parallel, the resistance of magnetic storage component 12A (12B) serves as min, and it serves as max at the time of anti-parallel.

[0085]

Magnetization changes with induction fields according [the 2nd magnetic layer 3] to bit line 6for store a, and word line 6b for a store. Here, it is reversed with induction field and, thereby, whenever [with magnetization of the 1st magnetic layer 1 / angular relation] reverses magnetization of the 2nd magnetic layer 3. Moreover, in order to perform selection of the storage cell 12 for writing by the so-called matrix driving method, only when a current flows in this direction not only to bit line 6for store a, or word line 6b for a store but to these both sides, the 2nd magnetic properties, dimension, etc. of a magnetic layer 3 are set up so that flux reversal may be

possible. This is the basic structure of magnetic storage component 12A (12B) as a TMR component.

[0086]

Here, the annular magnetic layer 5 had the telescopic configuration which has a vertical shaft in space in drawing 7, and has connoted the part which was parallel mutually [bit line 6 for store a, and word line 6b for a store]. That is, the shaft orientations of this annular magnetic layer 5 are the extension directions of bit line 6 for store a, and word line 6b for a store, and serve as annular [which was closed in the direction of a cross section which crosses shaft orientations]. Moreover, the annular magnetic layer 5 consists of high permeability magnetic materials, and has the function to change the magnetization direction of the 2nd magnetic layer 3 efficiently, by confining the magnetic flux produced according to the current of bit line 6 for store a to connote, and word line 6b for a store in the interior of a layer. The induction field which the cross section generated by being a closed loop as this annular magnetic layer 5 was illustrated flow back the inside of a layer along a field parallel to a cross section. Thereby, the annular magnetic layer 5 has the electromagnetic-shielding effectiveness of not making magnetic leakage flux produced outside. Moreover, since it is constituted so that the 2nd magnetic layer 3 may be touched on the other hand, it can be easy to tell a field to the 2nd magnetic layer 3, and the magnetization direction of the 2nd magnetic layer 3 which approaches that it is also at high flux density can be changed much more efficiently here.

[0087]

Moreover, drawing 8 shows the wiring structure of bit line 6 for store a, and word line 6b for a store. Thus, the magnetic memory device of the gestalt of this operation is equipped with two or more word line 6b for a store prolonged so that two or more bit line 6a for a store and this bit line 6a for a store may be intersected, respectively. Although these are prolonged so that it may cross, in that crossover field, it was parallel selectively, and has extended and the magnetic storage components 12A and 12B are formed in this parallel part. In addition, with parallel here, ± 10 degrees of error range on manufacture are included. Although magnetization of the 2nd magnetic layer 3 is here reversed using the synthetic field of bit line 6 for store a which was parallel, and word line 6b for a store, the magnitude of this induction field is larger than a synthetic field in case each wiring crosses. Therefore, write-in actuation can be performed efficiently.

[0088]

In addition, to each of magnetic storage component 12A (12B), it flows into a layered product from the lead wire 11 for read-out sensing, and a current flows so that it may pass from the annular magnetic layer 5 to a substrate 10. Therefore, the ingredient which has conductivity altogether is used for each class of the layered product except the non-magnetic layer 2 which passes tunnel current and the nonmagnetic conductive layer 4, and the annular magnetic layer 5. For example, a cobalt iron alloy (CoFe) is used for the 1st magnetic layer 1 and the 2nd magnetic layer 3, in addition the cobalt (Co) of a simple substance, a cobalt platinum alloy (CoPt), a ferronickel cobalt alloy (NiFeCo), etc. can be used for them. Moreover, since the 1st magnetic layer 1 and 2nd magnetic layer 3 stabilize in the condition that the magnetization direction serves as parallel or anti-parallel mutually, they is [making a mutual easy axis parallel] desirable.

[0089]

As for a non-magnetic layer 2, the thickness is decided based on tunnel resistance etc. Generally, in the magnetic memory device using a TMR component, in order to aim at matching with semiconductor devices, such as a transistor, it is supposed that tunnel resistance is [about several 10^2 k Ω (micrometer)] suitable. However, in order to attain densification in a magnetic memory device, and high-speed-ization of operation, it is desirable 10 k Ω (micrometer) and that tunnel resistance takes still more preferably for 1 k Ω (micrometer) and 2 or less two or less. In order to realize such tunnel resistance, as for the thickness of a non-magnetic layer (tunnel barrier layer) 2, it is still more preferably desirable to be referred to as 1.5 nm or less 2 nm or less. However, if thickness of a non-magnetic layer 2 is made not much thin, while tunnel resistance can be reduced, the leakage current resulting from the irregularity of a junction interface with the 1st magnetic layer 1 and the 2nd magnetic layer 3 arises, and there is a possibility that MR ratio may fall. In order to prevent this, the thickness of a non-magnetic layer 2 needs to have the thickness which is extent to which leakage current does not flow, and it is desirable that it is specifically the thickness of 0.3 nm or more.

[0090]

It functions as the nonmagnetic conductive layer 4 carrying out antiferromagnetism association of the 2nd magnetic layer 3 and annular magnetic layer 5, and a ruthenium (Ru), copper (Cu), etc. are used. Iron (Fe), a

ferronickel alloy (NiFe), Co, CoFe, NiFeCo, etc. can be used for the annular magnetic layer 5. Moreover, in order to centralize the field by bit line 6 for store a, and word line 6b for a store on the annular magnetic layer 5, the larger possible one of the permeability of the annular magnetic layer 5 is desirable, and it is specifically 6000 or more preferably 2000 or more.

[0091]

Each of bit line 6 for store a and word line 6b for a store has the structure where the laminating of titanium (Ti), titanium nitride (TiN), and the aluminum (aluminum) was carried out to order, and is mutually insulated electrically by the insulator layer. You may make it bit line 6 for store a and write-in word line 6b consist of at least one sort in aluminum (aluminum), copper (Cu), and a tungsten (W).

[0092]

In addition, although magnetic storage component 12A (12B) is considering as the TMR component here, it may be the CPP (Current Perpendicular to the Plane)-GMR component of the structure of passing a current at right angles to the laminating side of a magnetic layer too. Every time the component structure in that case removes changing a non-magnetic layer 2 to a non-magnetic metal layer from an insulating layer, it can make it be the same as that of the above-mentioned magnetic memory device 12A (12B).

[0093]

An epitaxial layer 9 is formed on the substrate 10 with which the magnetic storage components 12A and 12B are formed, and the conductive layer 8 and the insulating layer 7 are further formed on it. A conductive layer 8 consists of conductive layers 8A and 8B mutually insulated through the insulating layer 7. Although formed in the top face of a conductive layer 8 and an insulating layer 7, the magnetic storage components 12A and 12B are positioned, respectively so that a part of the formation field [at least] may lap with the formation field of conductive layers 8A and 8B. Therefore, it is joined to the conductive layers 8A and 8B by which the separation insulation is carried out according to an individual, respectively, and magnetic storage component 12A and magnetic storage component 12B are insulated electrically mutually. That is, wiring is made here so that it may not flow through magnetic storage component 12A and magnetic storage component 12B electrically.

[0094]

Moreover, let a substrate 10 be n mold silicon wafer here. Generally, impurity diffusion of P (phosphorus) is performed to n mold silicon wafer, and what serves as an n++ mold by high concentration diffusion of P (phosphorus) is used as a substrate 10. On the other hand, low concentration diffusion of the P (phosphorus) is carried out, and it is made for an epitaxial layer 9 to serve as n-mold. Moreover, a metal is used for a conductive layer 8. If the epitaxial layer 9 which is n-mold semi-conductor, and the metaled conductive layer 8 are contacted at this time, a band gap will arise and schottky diode will be formed. This is the diodes 13A and 13B in the gestalt of this operation.

[0095]

There are advantages, like that it is a low price that a silicon wafer with an epitaxial layer is easy to come to hand and a formation process is simple in forming Diodes 13A and 13B as schottky diode in this way. However, compared with PN-junction diode, leakage current of schottky diode is several 100 or more times large, and, in addition, its increment in the leakage current accompanying a temperature rise is also large. When this magnetic memory device is made into a MRAM semi-conductor memory chip and no less than several 1000 pieces connect schottky diode to juxtaposition every storage cell 12, it is possible to become the cause which reads since leakage current increases considerably, and lowers the S/N ratio of an output. Here, as diode 13, although a cost side and the advantageous schottky diode in respect of manufacture were adopted, when leakage current cannot be disregarded, it is also possible to form by BJT which short-circuited between PN-junction diode and a base collector for diode 13, or MOSFET which short-circuited between gate drains.

[0096]

Drawing 9 expresses a storage cell with a circuit diagram. Thus, since the value of the current which flows according to whenever [angular relation / of magnetization of the 1st magnetic layer 1 and the 2nd magnetic layer 3] changes, it is considered that one pair of magnetic storage components 12A and 12B are variable resistance. That is, magnetic storage component 12A (12B) takes the condition of the low resistance with the high current density of the tunnel current which can be passed, and the condition of the high resistance with small current density.

[0097]

In addition, although next explanation of operation is explained in full detail, in the gestalt of this operation, one side of the magnetic storage components 12A and 12B is considered as low resistance, and information is memorized by considering another side as high resistance. This is exactly for carrying out the differential amplifier of the output from two magnetic storage components 12A and 12B, and reading it. Therefore, two magnetic storage components 12A and 12B which make a pair need to be manufactured so that the magnitude of resistance, magnetic-reluctance rate of change, and the reversal field of the 2nd magnetic layer 3 may become equal.

[0098]

[Write-in actuation to a storage cell]

Next, the information storage method and the write-in actuation approach in this storage cell 12 are explained.

[0099]

drawing 10 -- drawing 9 -- the same -- a storage cell -- a table -- the bottom -- a thing -- it is -- the magnetic storage components 12A and 12B -- magnetization of each 1st magnetic layer 1 and the 2nd magnetic layer 3 is expressed. In this drawing, the white arrow head expresses magnetization of the 1st magnetic layer 1, and magnetization is being fixed rightward for the magnetic storage components 12A and 12B. On the other hand, a black arrow head expresses magnetization of the 2nd magnetic layer 3, and is magnetized with the magnetic storage components 12A and 12B by the sense which serves as anti-parallel mutually. Thus, by the storage cell 12, information is memorized in the condition that the magnetization direction of the 2nd magnetic layer 3 of one pair of magnetic storage components 12A and 12B serves as anti-parallel mutually.

[0100]

At this time, the combination of the magnetization direction of each 1st magnetic layer 1 and 2nd magnetic layer 3 will be in the 1st condition [surely / (parallel, anti-parallel)] and the 2nd condition of (anti-parallel and parallel) in one pair of magnetic storage components 12A and 12B. Therefore, one storage cell 12 is made to memorize 1-bit information by making binary information "0" and "1" correspond to these two conditions. In addition, in magnetic storage component 12A (12B), if the magnetization direction of the 1st magnetic layer 1 and the 2nd magnetic layer 3 is parallel, it will be in the low resistance condition that big tunnel current flows, and if it is anti-parallel, it will be in the high resistance condition that only small tunnel current flows. that is, magnetic storage component 12A and magnetic storage component 12B which make a pair -- surely -- on the other hand, it is low resistance, and another side serves as high resistance and information is memorized.

[0101]

thus, the magnetic storage components 12A and 12B used as a pair -- setting -- the magnetization direction of the 2nd magnetic layer 3 -- mutual -- anti- -- since it was parallel, it was shown in drawing 11 -- as -- the magnetic storage components 12A and 12B -- to each bit line 6 for store a, and word line 6b for a store, a current is passed so that it may become the reverse sense relatively (refer to drawing 8). The sense of the write-in current in the case of writing "1" bit shown in drawing 10 in drawing 11 to a storage cell 12 is shown.

[0102]

thereby -- the magnetic storage components 12A and 12B -- the field which flows back to the reverse sense mutually is guided to each annular magnetic layer 5, and the magnetization (that is, sense of induction field) in an opposed face with each 2nd magnetic layer 3 becomes it with anti-parallel mutually. the magnetic storage components 12A and 12B -- the sense of the field to which magnetization of each 2nd magnetic layer 3 is given from this outside -- following -- anti- -- it becomes parallel and that magnetization condition is fixed by antiferromagnetism association with the annular magnetic layer 5. for writing in "0 [in addition,]" bit -- the magnetic storage components 12A and 12B -- the sense of the current boiled, respectively is reversely changed to the sense of a graphic display.

[0103]

Since induction field are confined in the interior of the annular magnetic layer 5 at this time, the effectual magnetic field strength which contributes to the flux reversal of the 2nd magnetic layer becomes large as compared with the former. Consequently, flux reversal of the 2nd magnetic layer 3 can be carried out with required sufficient magnetic field strength, and efficient write-in actuation can be performed. In this writing, a paraphrase arranges magnetization of the 2nd magnetic layer 3 so that it may become sufficient magnitude to a predetermined direction. Therefore, a possibility that the magnetization direction of this 2nd magnetic layer 3 may be disturbed by the external turbulence field is reduced, and it can prevent the once written-in information

not expecting, being erased, or being rewritten. That is, information can be written in certainly.

[0104]

In this magnetic memory device, first, an address buffer 101 incorporates the signal level of the external data terminals A0-A20, and amplifies with an internal buffer, and it transmits to the address decoders 106A and 108A of the direction of Y, and the direction of X through the address line 105,107. A data buffer 102 incorporates the signal level of the external data terminals D0-D7 to it and coincidence, amplifies to them with an internal buffer, and transmits to them through the data bus 110,111 for writing in the current drives 106C and 108C of the direction of Y, and the direction of X (drawing 1).

[0105]

Address decoders 106A and 108A choose bit line 6for store a with the decoding value corresponding to this, and word line 6b for a store with a selection signal. Moreover, the sense of the current passed to bit line 6for store a and word line 6b for a store is determined by the current drives 106C and 108C. The storage cell 12 to which a current flows to the both sides of bit line 6for store a and word line 6b for a store is chosen as a meaning by this, and predetermined bit data are written in there. For example, the sense of the current of bit line 6for store a and word line 6b for a store is shown by the arrow head, and signs that the storage cell 12 is chosen are expressed with drawing 8 R> 8.

[0106]

[Read-out actuation]

A magnetic memory device reads as follows the information written in each storage cell 12.

[0107]

(Basic actuation)

Drawing 12 shows the basic configuration of a storage cell. First, the fundamental part of read-out actuation is explained with reference to this drawing. Each storage cell 12 is in the condition that the magnetic storage components 12A and 12B became the magnetization direction like a graphic display, and information was memorized. Among these, corresponding to the address, the direction of Y is chosen for the storage cell 12 which reads information in a selection signal being inputted at the WORD decoding line 30, as for the bit decoding line 20 and the direction of X. For example, when the storage cell 12 to choose is in Yn train and Xn+1 line, a signal is inputted into WORD decoding line 30n+1 [Xn+1 position] as 20n of Yn position bit decoding lines.

[0108]

If the voltage level in 20n of Yn position bit decoding lines is made into "High", Transistors 22A and 22B will be in an energization condition, and a sensing current will flow to the direction block of a train of Yn position of a storage cell 12 (bit string Yn). A sensing current flows and goes down the sense bit lines 21A and 21B toward the opposite hand from a power-source Vcc side.

[0109]

On the other hand, if the voltage level in WORD decoding line 30n+1 [Xn+1 position] is made into "High", a transistor 33 will be in an energization condition and a current will be allowed to flow to the line writing direction block (WORD train Xn+1) of a storage cell 12 of Xn+1 position. Therefore, from that of the Yn position sense bit lines 21A and 21B, a sensing current passes along magnetic storage component 12A, diode 13A, and magnetic storage component 12B and diode 13B, respectively, both flows into the Xn+1 position sense word line 31, passes along between the collector emitters of the transistor 33 which constitutes current regulator circuit 108B further, and escapes from it from a resistor 34 to touch-down. Thus, Yn train and the Xn+1 line storage cell 12 are chosen by passing a sensing current for Yn train and the Xn+1 line magnetic storage components 12A and 12B.

[0110]

Read-out of information is performed by detecting the difference of a current value which flows to each of the magnetic storage components 12A and 12B of a storage cell 12. The current which flows to these is almost equal to the sensing current which flows the sense bit lines 21A and 21B. Moreover, the voltage drop by the sensing current occurs in resistor 23A (23B) connected to the serial to sense bit line 21A (21B). It opts the resistance of Isense and resistor 23A (23B) for the voltage drop Va by Ra, then the degree type in the magnitude of a sensing current.

$V_a(\text{Volt}) = I_{\text{sense}}(A) \times R_a (\text{ohm}) \quad \text{-- (1)}$

A formula (1) shows transforming the sensing current I_{sense} into an electrical potential difference by the voltage drop V_a , and being detected, if the value of resistor 23A and resistor 23B has gathered well. Then, he reads here and is trying to detect ejection and its difference for the voltage drop of resistor 23A and resistor 23B from input lines 40A and 40B as an output signal, respectively. Thus, as a storage cell 12, the big output value from which the noise was removed is acquired by taking out the difference of each output value using two magnetic storage components 12A and 12B.

[0111]

(Operation of current regulator circuit 108B)

In the above read-out actuation, the magnitude of the sensing current which flows to the selected storage cell 12 is adjusted by the current limiting resistor 34 prepared in the earth side of the sense word line 31. Although a current limiting resistor 34 is effective in restricting the amount of currents by independent [this], current regulator circuit 108B constituted combining a current limiting resistor 34, and a transistor 33 and diode 32 operates further here so that the amount of currents may be stored within fixed limits.

[0112]

If the voltage level of the WORD decoding line 30 is "High", the diode 32 connected to the two-piece serial will make intermediate voltage level only with high $+2\phi$ fixed from touch-down by the band gap reference of diode. Therefore, intermediate voltage level is impressed to the base terminal of a transistor 34, and a transistor 34 will be in an energization condition at it. At this time, magnitude I_{sense} of the sensing current which flows from the sense word line 31 can be found in R_c , then a degree type in the resistance of a current limiting resistor 34.

$I_{\text{sense}} (A) = (V_{\text{forward}} - V_{\text{diode}}) / R_c$ -- (2)

The forward voltage of the diode 32 with which 2ϕ became the serial of two pieces, and ϕ are the forward voltage between the BESU emitters of a transistor 33. Since these are the values of a semiconductor device proper, as for the formula (2), it is shown that the sensing current I_{sense} will take constant value if resistance R_c is decided, and that the sensing current I_{sense} is decided to be a meaning by making resistance R_c into a parameter.

[0113]

That is, in the sense word line 31, it stabilizes and flows with the value of within the limits with the feeble fixed sensing current I_{sense} , thanks to this current regulator circuit 108B. In addition, the sensing current I_{sense} of a formula (2) is a current which flows to the sense word line 31, and is total of a current which flows the both sides of sense bit line 21A and sense bit line 21B or magnetic storage component 12A, and magnetic storage component 12B.

[0114]

When a current limiting resistor 34 is set to 50kohm and silicon diode and a silicon transistor are used for diode 32 and a transistor 33 as an example, the sensing current I_{sense} by current regulator circuit 108B is set to about 15microA. in this case, the magnetic storage components 12A and 12B which make a pair according to the cause on manufacture -- though the range of the resistance which each can take on actuation actuation differs, the total of a current which flows both always becomes equal to about 15microA. In addition, since a non-magnetic layer 2 has only the thickness of the number atomic unit of several nm (several 10A), dispersion in the resistance of magnetic storage component 12A (12B) by the cause on manufacture means that resistance changes by the slight turbulence of thickness and atomic arrangement. So, in the resistance of magnetic storage component 12A (12B), although careful attention is paid to forming a non-magnetic layer 2 by uniform thickness, when conditions, such as a manufacturing facility, are bad, dispersion beyond it will arise about 15 to 50% actually.

[0115]

To dispersion in the resistance of the magnetic storage components 12A and 12B, two cases can be considered for every factor. **1 The 1st is the case where the resistance at the time of low resistance of the magnetic storage components 12A and 12B and high resistance changes with dispersion in the thickness of a non-magnetic layer 2 etc. between storage cell 12 comrades. If the thickness of a non-magnetic layer 2 increases generally, as for resistance of one pair of magnetic storage components 12A and 12B, the time of high resistance will come to take a big value at the time of low resistance. **2 The 2nd is the case where it differs in each storage cell 12 among the magnetic storage components 12A and 12B which are making the pair according

to the difference in the irregularity of a junction interface, or the thickness of a non-magnetic layer 2, and other causes, a ratio, i.e., MR ratio, with resistance in case only resistance in case big tunnel current flows, and small tunnel current flow.

[0116]

Here **1 Suppose that the resistance of the magnetic storage components 12A and 12B varied between storage cells 12. Although each current value which flows the sense bit lines 21A and 21B is a value according to the resistance of one pair of magnetic storage components 12A and 12B, respectively, the total is controlled to always take constant value. In other words, each current value which flows the sense bit lines 21A and 21B distributes a certain standardized amount of currents according to resistance ratio. Therefore, blurring of each current value decreases compared with the dispersion degree of resistance. Especially, when dispersion in resistance between storage cells 12 does not change each MR ratio, since the resistance ratio of one pair of magnetic storage components 12A and 12B is equal, regardless of the size of the resistance for every storage cell 12, each current value of the sense bit lines 21A and 21B becomes almost equal (though it differs quite greatly). In this way, the difference of the current value of the sense bit lines 21A and 21B is always stored within fixed limits. Therefore, it can become possible to be stored within fixed limits and to obtain the stable differential output, and the difference of the voltage drop of the resistors 23A and 23B for current potential conversion can also raise the S/N ratio of a read-out signal.

[0117]

On the other hand, so that the above-mentioned explanation may also show **2 Lowering of dispersion of MR ratio of magnetic storage component 12 A pair magnetic storage component 12B, especially MR ratio is fatal when obtaining a differential output, and it will drop the S/N ratio of an output signal extremely. However, since current regulator circuit 108B is prepared, blurring of the current in each of the sense bit lines 21A and 21B is held down here according to the total current value. Thereby, ** is also stopped uniformly and fluctuation of the voltage drop of the resistors 23A and 23B for current potential conversion can mitigate dispersion in the offset voltage in the input of sense amplifier 106B. Therefore, the S/N ratio of the output signal of read-out is improvable also in this case.

[0118]

(Operation of the diode for antisuckbacks)

Moreover, in the above read-out actuation, the diodes 13A and 13B formed on the current path by the side of the sense word line 31 of each magnetic storage components 12A and 12B have prevented that a current flows backwards from the sense word line 31 to the magnetic storage components 12A and 12B.

[0119]

Since each magnetic storage components 12A and 12B of bit string Y_n and the WORD train X_n are here connected to the common sense bit lines 21A and 21B and the common sense word line 31, a part of sensing current separates from it and carries out reading appearance of the path of normal, and it flows into another path through the magnetic storage components 12A and 12B which are not objects, and as it is, flow to touch-down, and fall, it turns on the path of normal again, or it has a possibility of carrying out. Such wiring structure is still taken here for making current regulator circuit 108B share for every train, although it is also for making the selecting switch of a storage cell 12 share also with the direction of a bit, and the direction of WORD with a single switch for every train, and simplifying wiring.

[0120]

The current component which strays off the path of such normal and flows the inside of a circuit, especially a surroundings lump component generate magnetic storage component 12A (12B) on the path which flows backwards. However, the path is intercepted here by the diodes 13A and 13B which are one direction components.

[0121]

Drawing 13 shows the path (i) of the leakage current in case there are no diodes 13A and 13B on the current path of the magnetic storage components 12A and 12B, and the path (ii) (iii) of a surroundings lump as an example of a comparison over the gestalt of this operation. In this drawing, bit string Y_n and the storage cell 12 of WORD train X_{n+1} are cels to which reading appearance of the information is just carried out now. That is, it is the current path of normal which the continuous line showed.

[0122]

On the other hand, a part of sensing current flows backwards like a path (i) for the magnetic storage components 12A and 12B which adjoin in the direction of a WORD train from the sense word line 31, and it flows to sense bit line 20n+1 further. In addition, the same leakage is produced also to the magnetic storage components 12A and 12B (not shown) of a large number connected to the same sense word line 31 in common.

[0123]

Moreover, the path which turns around magnetic storage component 12A by the side of low resistance of a storage cell 12 (12B) as ** exists, for example like a path (ii). In this drawing, the path is illustrated in all the storage cells 12 by making the magnetic storage component 12A into a low resistance side. In this case, it gets down from sense bit line 21A further, adjoins in the direction of a bit string, passes along magnetic storage component 12A which is low resistance, and flows backwards to magnetic storage component 12A by the side of low resistance of the storage cell 12 which adjoins in the direction of a WORD train further through the sense word line 31. then -- up to magnetic storage component 12A (it adjoins in the direction of a bit string by a diagram) connected to the selected sense word line 31 in different sense bit line 21A from the path of normal -- going up -- magnetic storage component 12A of this low resistance -- flowing -- just -- being alike -- it flows into the selected sense word line 31. The same surroundings lump is produced also to the magnetic storage components 12A and 12B (not shown) of a large number which make the same the sense word line 31 connected with magnetic storage component 12A (not shown) of a large number connected to the same sense bit line 21A, and those magnetic storage component 12A. When magnetic storage component 12B is low resistance, a surroundings lump occurs similarly.

[0124]

There is a path (iii) as an example of another surroundings lump. In this case, one storage cell 12 is passed by flowing backwards to magnetic storage component 12B (high resistance side) in either magnetic storage component 12A or magnetic storage component 12B from magnetic storage component 12A (low resistance side) connected to the same sense bit line 21A. Furthermore, sense bit line 21B of an opposite hand is gone up, and it turns to the path of normal from magnetic storage component 12B of the storage cell 12 for read-out.

[0125]

All of such a path (i) - (iii) can be intercepted like the gestalt of this operation by forming Diodes 13A and 13B on the current path of each magnetic storage components 12A and 12B. Thus, through the magnetic storage components 12A and 12B, a current can leak, it can turn or the noise over the fluctuation, i.e., the signal, of a sensing current produced by carrying out can be reduced. In addition, also when it is made to connect the current path of the magnetic storage components 12A and 12B of each storage cell 12 to one diode, it is possible to intercept a path (i) and (ii), and fixed effectiveness is expected from the leakage of a current, or a surroundings lump. However, in order to intercept a path (iii), like the gestalt of this operation, un-flowing the magnetic storage components 12A and 12B needs to be supposed in a storage cell 12, and an antisuckback needs to be given independently mutually.

[0126]

(Modification of the diode for antisuckbacks)

The diodes 13A and 13B for antisuckbacks of the gestalt of this operation can be transposed to the transistor which is the component which similarly has rectification. The case where the transistors 63A and 63B for antisuckbacks are formed in drawing 14 as such a modification between the magnetic storage components 12A and 12B and the sense word line 31 is illustrated. If these transistors 63A and 63B for antisuckbacks connect a base terminal to the bit decoding line 20 or the WORD decoding line 30, it can interlock and the sense bit lines 21A and 21B or the sense word line 31 can be made to flow through them. In addition, in such a case, Transistors 22A and 22B hope that there is nothing. Such transistors 63A and 63B for antisuckbacks function as an one direction component similarly.

[0127]

It is mentioned that the advantage of using the transistors 63A and 63B for antisuckbacks has a quite low electrical potential difference at the time of a flow compared with the forward voltage of diode. the collector to emitter voltage at the time of the flow of a transistor -- dramatically -- being low (about [About 0.2] V) -- diode requires the electrical potential difference of a band gap phi (0.65V-0.75V) as forward voltage. In the readout circuitry of the gestalt of this operation, the current path has five-step composition of resistor 23 for current potential conversion A (23B), transistor 22A (22B), magnetic storage component 12A (12B), diode

13 for antisuckbacks A (13B), a transistor 33, and a current limiting resistor 34 from the power source Vcc to the serial towards touch-down. Therefore, although it is necessary to take electrical-potential-difference allocation into consideration, the transistors 63A and 63B for antisuckbacks can be operated also with low supply voltage also about 0.5V compared with the diodes 13A and 13B for antisuckbacks. Moreover, as a part for the surplus of this electrical potential difference is distributed, it becomes possible till performing several step raising and still more complicated control operation from five steps about a circuit.

[0128]

Moreover, the diodes 13A and 13B for antisuckbacks can also be transposed to MOSFETs 73A and 73B for antisuckbacks, as shown in drawing 15. In this case, the electrical potential difference between the drain-sources at the time of a flow is quite as low as about 0.1V, and that operation effectiveness is the same as that of the transistors 63A and 63B for antisuckbacks almost.

[0129]

in addition, these rectifying devices were shown in drawing 16 - drawing 18 -- as -- the sense bit lines 21A and 21B and the magnetic storage components 12A and 12B -- it may be prepared between each.

[0130]

(It is latter signal output actuation from a sense amplifier)

Furthermore, the good output of S/N is obtained still more greatly [(drawing 2) and a value] by carrying out the differential amplifier of the potential difference taken out from input lines 40A and 40B by sense amplifier 106B. Although cascade connection of much sense amplifier 106B of each direction unit read-out circuit 80 (-- ,n [80], 80n+1, --) of a bit is carried out to output lines 51A and 51B by the collector side, when a transistor 44 flows, corresponding one sense amplifier 106B becomes active, and only the collector output is sent out to output lines 51A and 51B, at the same time one of the bit decoding lines 20 which have more than one is chosen.

[0131]

In addition, since accumulation arrangement of Transistors 22A and 22B, Resistors 23A and 23B, and the sense amplifier 106B is carried out into the field of the same width of face W as a storage cell 12, the components which make a differential pair among these become almost equal [a working temperature change] here. Thereby, fluctuation of the output value produced by the temperature change is suppressed.

[0132]

The output of sense amplifier 106B is eventually inputted into output-buffer 102B via output lines 51A and 51B and the data bus 112 for read-out. Output-buffer 102B outputs it from the external data terminals D0-D7 as a binary voltage signal while amplifying the inputted signal level.

[0133]

Thus, in the gestalt of this operation, since the magnetic storage components 12A and 12B should be equipped with the annular magnetic layer 5, while they can be written in efficiently, they can fully arrange the magnetization direction of the 2nd magnetic layer 3, and can write in information certainly. If magnetization of the 2nd magnetic layer 3 is in the condition which gathered in the predetermined direction enough in this way when reading information on the other hand, large and small binary condition will be clearly shown also for the tunnel current value in magnetic storage component 12A (12B), and the high output value of a S/N ratio will be acquired by the relative magnetization direction with the 1st magnetic layer 1.

[0134]

In addition, a storage cell 12 is constituted from one pair of magnetic storage components 12A and 12B, and since it was made to carry out the differential output of the current which flows to both sides, the noise combined with the sense bit lines 21A and 21B is removed here. Further, current regulator circuit 108B is prepared in the earth side of the sense word line 31, and since the total of a sensing current which flows to a readout circuitry was kept constant, the difference of the current value of the sense bit lines 21A and 21B is always stored within fixed limits to dispersion in the property for every storage cell 12. Moreover, standardizing the total current value to constant value has the effectiveness of holding down fluctuation of each current value of the sense bit lines 21A and 21B, also to dispersion of mutual resistance of one pair of magnetic storage components 12A and 12B. This can be enabled to obtain the stable differential output and the S/N ratio of a read-out signal can be raised. In addition, since it was made for the transistor 33 of current regulator circuit 108B to function also as a solid state switch of the WORD decoding line 30, it can be manufactured

comparatively plainly and its circuit design top is also advantageous.

[0135]

Moreover, since Diodes 13A and 13B were formed as an one direction component between each magnetic storage components 12A and 12B and the sense word line 31, it is prevented that a current flows backwards from the sense word line 31 to the magnetic storage components 12A and 12B. Since it is prevented that a current path is made between magnetic storage component 12A between the storage cells 12 connected to the common sense bit lines 21A and 21B or the common sense word line 31 by this and in one storage cell 12 and magnetic storage component 12B and the leakage of a sensing current and a surroundings lump are intercepted, a noise can be reduced.

[0136]

Furthermore, with the gestalt of this operation, since it was made to carry out accumulation arrangement of Transistors 22A and 22B and the resistors 23A and 23B with sense amplifier 106B, a differential amplifying circuit is constituted with sense amplifier 106B, and the circuit element which makes a pair is formed in the location which approached mutually in the circuit area of sense amplifier 106B. Therefore, since these circuit elements are driven on the same temperature conditions, property dispersion by the temperature change is controlled and they can prevent the noise in this differential amplifying circuit.

[0137]

as mentioned above, in the readout circuitry in the magnetic memory device of the gestalt of this operation While reducing the noise by dispersion in the property for every storage cell 12, and the noise by dispersion of mutual resistance of one pair of magnetic storage components 12A and 12B Since the noise combined with the data line, sense amplifier 106B and the noise by other property dispersion of a differential pair, and the noise of the circumference circuit around which it turns from a power circuit were suppressed, greatly, it can improve and the S/N ratio of a read-out signal output can be improved. Therefore, this magnetic memory device can perform little stable actuation of a reading error. Moreover, it is possible to obtain output sufficient also when integrating a storage cell 12 highly by improvement in a S/N ratio, since a big signal output value can be acquired, it is one of these and it is also possible to realize actuation of low current and a low battery.

[0138]

In addition, generally, in order to prevent carrying out dielectric breakdown of the ultra-thin tunnel barrier layer, when passing tunnel current for a magnetic storage component, it is necessary to make the electrical potential difference concerning a component into a suitable value by the magnetic memory device. By having current regulator circuit 108B, the magnetic memory device of the gestalt of this operation can make tunnel current small, and can lower and drive the electrical potential difference concerning the tunnel barrier layer 2 to an electrical potential difference also with the electric proof-pressure twist low enough. Moreover, as for the readout circuitry of the gestalt of this operation, the current path has five-step composition of resistor 23 for current potential conversion A (23B), transistor 22A (22B), magnetic storage component 12A (12B), diode 13 for antisuckbacks A (13B), a transistor 33, and a current limiting resistor 34 to the serial towards a power source Vcc to touch-down. From the relation of the electrical-potential-difference partial pressure, the voltage drop in such magnetic storage component 12A (12B) can be actually suppressed low with about 0.1V-0.3V. Of course, although the voltage output (voltage drop in the current potential conversion resistance 23A and 23B) directly obtained from the magnetic-recording components 12A and 12B in such a case is feeble, a S/N ratio is high by the effectiveness which made the sensing current constant current. Here, since this output is made to amplify in several more steps of differential amplifying circuits and is made into the final output, sufficient read-out sensibility can be obtained. That is, it is possible for a value to obtain the signal output of a good S/N ratio greatly enough at the same time it makes this magnetic memory device drive by very feeble tunnel current compared with the former and it prevents dielectric breakdown of the magnetic storage components 12A and 12B.

[0139]

[Example]

[Verification of the amplification degree by the sense amplifier]

In the same real circuit (refer to drawing 2) as the gestalt of the above-mentioned implementation, the current value in each point of measurement was measured during read-out of information using the current probe. Point of measurement is nine points of P1-P9 shown in drawing 19 .

namely

Point of measurement P1 -- Collector terminal of transistor 22A

Point of measurement P2 -- Collector terminal of transistor 22B

Point of measurement P3 -- Base terminal of transistor 22A

Point of measurement P4 -- Base terminal of transistor 22B

Point of measurement P5 -- Collector terminal of transistor 41A

Point of measurement P6 -- Collector terminal of transistor 41B

Point of measurement P7 -- Base terminal of transistor 41A

Point of measurement P8 -- Base terminal of transistor 41B

Point of measurement P9 -- Collector terminal of a transistor 44

It comes out. The value of the bit decoding electrical potential difference which impresses these current values to the bit decoding line 20 was changed, and was measured.

[0140]

Drawing 20 shows the measurement result of point of measurement P1-P4. In a real circuit, the current which flows to sense bit line 21A by the side connected to magnetic storage component 12A serves as total of the emitter current of transistor 22A, i.e., the collector current and base current of transistor 22A. A measurement result shows that the collector current of point of measurement P1 is large to extent which can disregard the base current of point of measurement P3. Therefore, at the collector edge and emitter edge of transistor 22A, it turns out that the flowing current is almost equal. Moreover, the same is said of the relation between the collector current of the point of measurement P2 to transistor 22B, and the base current of point of measurement P4, and it turns out at the collector edge and emitter edge of transistor 22B that the flowing current is almost equal.

[0141]

Drawing 21 shows the measurement result of point of measurement P1-P9 (the scale of the current value of an axis of ordinate differs from drawing 20). The current which flows to the resistors 23A and 23B for current potential conversion branches, and flows into the collector terminal of the transistors 22A and 22B which are the switches for bit string selection, and the base terminal of the transistors 41A and 41B which are the differential pairs of sense amplifier 106B, respectively. Furthermore, although total of the collector current of Transistors 41A and 41B and base current serves as each emitter current, the emitter current joins with common wiring, and flows into the collector terminal of a transistor 44.

[0142]

Each base current (current of point of measurement P7 and P8) is amplified, and the collector current of Transistors 41A and 41B is acquired. A measurement result shows that it is very large compared with the current difference of the sense bit lines 21A and 21B whose difference of the collector current of transistor 41A of point of measurement P5 and the collector current of transistor 41B of point of measurement P6 is the original outputs. In the case of the measurement data of a graphic display, the ratio of the current difference reaches also about 200 times. Therefore, in this magnetic memory device, it turns out that a very big output is obtained by amplifying a read-out signal by such sense amplifier 106B.

[0143]

In addition, it can be said that the current which that it is dramatically small also shows the base current of the transistors 41A and 41B in point of measurement P7 and P8 as for a measurement result, and flows to the resistors 23A and 23B for current potential conversion is almost equal to the current which flows into the collector terminal of Transistors 22A and 22B. Therefore, in this readout circuitry, it has checked that sense amplifier 106B was amplifying faithfully current change of the magnetic storage components 12A and 12B.

[0144]

[Verification of the effectiveness of a current regulator circuit]

Next, in the same real circuit as the gestalt of operation, in the case of two kinds, fluctuation of the read-out signal (electrical potential difference) over resistance dispersion of magnetic storage component 12A (12B) was divided, and was investigated.

[0145]

(Effectiveness over resistance dispersion between storage cells)

First, the resistance at the time of low resistance of each magnetic storage components 12A and 12B (RL) and

the resistance at the time of high resistance (RH) investigated about the case where it differs between storage cells 12. That is, the output value of the read-out electrical potential difference from the storage cell 12 from which resistance RL and RH differs, respectively was measured. Here, although the resistance for every storage cell 12 was changed about 10 times at maximum and the minimum value, MR ratio (RL/RH) in each storage cell 12 was taken as immobilization 25%.

[0146]

Drawing 22 expresses the measurement result and the output voltage value which standardized the axis of abscissa with the resistance RH at the time of high resistance, and standardized the axis of ordinate with supply voltage Vcc is shown. In this drawing, the table of the output voltage value from magnetic storage component 12B (12A) of the direction where x mark took the resistance RL at the time of low resistance for the output voltage value from magnetic storage component 12A (12B) of the direction where the white round head took the resistance RH at the time of high resistance is carried out, respectively. Moreover, measured value is contracted with the continuous line and the result in the example of a comparison of a configuration of sensing directly the voltage drop of a sink and its magnetic storage component for a current for the magnetic storage component of a couple showed by the dotted line.

[0147]

Even if the resistance for every storage cell 12 differs that greatly by the readout circuitry of the gestalt of operation from the illustrated result, it is clear output voltage's [the output voltage from a resistance RL side and] from a resistance RH side to take about 1 constant value, respectively. Therefore, the final output electrical potential difference which is both difference was not depended on resistance dispersion for every storage cell 12, either, but the always fixed thing has been checked. This is the effectiveness of standardizing the total of a current which flows for the magnetic storage components 12A and 12B which prepare current regulator circuit 108B and take resistance RL and RH, as explained in the gestalt of operation.

[0148]

(Example of a comparison)

As an example of a comparison of this example, same measurement was performed in the reading circuit of a configuration of sensing directly the voltage drop of a sink and its magnetic storage component for a current for the magnetic storage component of a couple. The representative circuit schematic of the example of a comparison is shown in drawing 23. One side serves as high resistance, another side serves as low resistance, this reading circuit takes the method which reads the difference of the electrical potential difference of one pair of magnetic storage components (it illustrates as variable resistance R1 and R2) which memorizes information, and although each of a magnetic storage component which makes a pair is connected to a current source and the solid state switch for cel selection at a serial, this serial wiring is required independently separately mutually. moreover, since direct reading appearance of the voltage drop of a magnetic storage component is carried out as S/S in this case, the resistor for current potential conversion is not used. The measurement result is shown to drawing 22 by the dotted line. Thus, in the circuit which sets constant the current over each magnetic storage component, an output value changes a lot in proportion to resistance of a magnetic storage component. Therefore, promptly, the resistance dispersion condition of a magnetic storage component is changing, and will influence an output value.

[0149]

(Effectiveness over resistance dispersion between magnetic storage components)

Next, it investigated about the case where MR ratio varies, among the magnetic storage components 12A and 12B which are making the pair by each storage cell 12. Here, resistance RH was fixed, MR ratio of each storage cell 12 was changed by changing resistance RL, and each output voltage was measured.

[0150]

Drawing 24 expresses the measurement result and the output voltage value which standardized the axis of abscissa(%) by MR ratio, and standardized the axis of ordinate with supply voltage Vcc is shown. In this drawing, the output voltage value from magnetic storage component 12A (12B) of the direction where the white round head took resistance RH, and x mark are carrying out the table of the output voltage value from magnetic storage component 12B (12A) of the direction which took resistance RL, respectively. Moreover, measured value is contracted with the continuous line and a dotted line is an offset reference value by the constant current effectiveness over the electrical potential difference of each resistance RH and RL.

[0151]

From the result of a graphic display, by the readout circuitry of the gestalt of operation, the output voltage from a resistance RL side and the output voltage from a resistance RH side can grasp the inclination which carries out asymptotic mutually as MR ratio becomes small. That is, when MR ratio varies every storage cell 12, it turns out that the effect appears in a voltage output in such a form. The output voltage by the side of resistance RL and the output voltage by the side of resistance RH have still fallen within the respectively fixed range on both sides of the reference value. In this case, if there is about 15% or more of MR ratios, even if both difference will compare with the case where come out enough as an output and a current regulator circuit is not prepared by the same circuitry from a certain thing, possibility that a reading error will arise has decreased.

[0152]

Moreover, although it is being able to say to the general circuit of such a configuration, since each current which flows the magnetic storage components 12A and 12B always has equal total, it always takes the symmetrical value centering on the value of the one half of total up and down according to the ratio of the component resistance at that time. The offset reference value shown in drawing 24 by the dotted line changes this very value into an electrical potential difference, and the location is eternal unless total of a current is changed. Then, if the voltage level used as the threshold at the time of carrying out a differential amplifier by sense amplifier 106B is made to agree in this offset reference value, the voltage output of a proper value will be obtained from sense amplifier 106B. This is also the effectiveness of having added the current regulator circuit.

[0153]

In addition, this invention is not limited to the gestalt and example of the above-mentioned implementation, but various deformation implementation is possible for it. For example, with the gestalt of the above-mentioned implementation, although the bipolar transistor was used for switching elements, such as sense amplifier 106B, current regulator circuit 108B, and Transistors 22A and 22B, it can constitute from semiconductor devices, such as CMOS (Complementary MOS), besides this.

[0154]

In addition, the magnetic memory device of this invention is not limited to the gestalt of the above-mentioned implementation of the method of its writing/read-out that what is necessary is just what memorizes 1 unit information using two of the magneto-resistive effect components equipped with the annular magnetic layer. For example, two magneto-resistive effect components are made to memorize the same information, and in an all seems well, read-out is performed only from one component, and when a read-out error occurs, read-out can be performed from the component of another side. Thus, since two per 1 unit information can be used, compared with the case where the magnetic memory device of this invention makes 1 unit information correspond to one element, the degree of freedom of an applicable write-in approach and the read-out approach is high.

[0155]

As mentioned above, although the gestalt of the above-mentioned implementation explained the magnetic memory device 12 as what is a TMR component as a magneto-resistive effect component containing the layered product to which a current flows in the direction vertical to a laminating side, this may be replaced with a CPP-GMR component.

[0156]

Moreover, about the current regulator circuit of this invention, especially component structure of the magneto-resistive effect component of the couple which constitutes a storage cell cannot be limited, but it can apply to the magnetic memory device which performs the so-called differential read-out widely. That is, the magneto-resistive effect component of a couple does not need to be the same as that of the configuration of the magnetic memory device 12 explained with the gestalt of operation, for example, does not have the annular magnetic layer 5, but the 2nd magnetic layer 3 which is the 1st magnetic layer 1, non-magnetic layer 2, and magnetosensitive layer is contained, the lead wire for read-out sensing is connected to the layered product which carried out the laminating, and it may have composition which passes a current at right angles to a laminating side, and reads information. Furthermore, you may be the magneto-resistive effect component (CIP (Current flows In the Plane)-GMR) in which the magneto-resistive effect component of a couple contains the layered product to which a current flows in the direction parallel to a laminating side. Especially besides two or more storage cells being connected to the read-out line (2nd read-out line) of one direction, a write-in line and a

read-out line are not limited about wiring structure. Also in such a case, the current regulator circuit of this invention can demonstrate the same operation as the gestalt of operation, and effectiveness.

[0157]

Moreover, although the sense bit lines 21A and 21B were made equivalent to the 1st read-out line of a couple and the sense word line 31 was made equivalent to the 2nd read-out line with the gestalt of the above-mentioned implementation, the wiring direction of the 1st of this invention and the 2nd read-out line is not limited to the gestalt of operation, but is good also as response relation between the above and reverse.

[0158]

[Effect of the Invention]

As explained above, according to the magnetic memory device of this invention, two or more 1st write-in lines, Two or more 2nd write-in lines prolonged so that two or more 1st write-in lines may be intersected, respectively, The layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, It has two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce by the 1st and 2nd write-in lines, while being arranged so that the direction which met the laminating side at one field side of this layered product may be made into shaft orientations. Since one storage cell was constituted including the magneto-resistive effect component of a couple, magnetization of a magnetosensitive layer can be efficiently reversed according to an operation of an annular magnetic layer in the case of writing. And since 1 unit information is memorized using two magneto-resistive effect components, while information writing can be ensured [efficiently and], it can read with an informational write-in method, and a degree of freedom can be given to a method.

[0159]

Especially, the offset component contained in the output value for every noise which the differential output of the read-out current will be carried out, and will be made on the 1st read-out line of each if a read-out current is supplied respectively and information is read from a storage cell based on the difference of the read-out current value of this couple and magneto-resistive effect component of the magneto-resistive effect component of a couple is removed from each of the 1st read-out line of a couple. Therefore, it not only excels in write-in effectiveness, but the S/N ratio at the time of read-out is high, and it becomes possible to obtain a bigger signal output.

[0160]

Moreover, if it has the 2nd read-out line which leads the read-out current which flowed the rectifying device formed on the current path of the read-out current supplied to the magneto-resistive effect component of a couple, and the magneto-resistive effect component of a couple to touch-down, it will be prevented from other storage cells connected to the 2nd common read-out line by the rectifying device toward each storage cell for read-out that a current turns. therefore, a part of read-out current -- it becomes possible to be able to prevent straying off the path of normal, carrying out leakage appearance or turning, to carry out reading appearance, and to raise the S/N ratio of a signal output of a component.

[0161]

If the rectifying device is formed, respectively on each current path of the read-out current especially supplied to the magneto-resistive effect component of a couple, a current flowing backwards from other storage cells or magneto-resistive effect components which are connected to the 2nd common read-out line between each storage cell or among magneto-resistive effect components, or passing even on the 1st read-out line further will be prevented by the rectifying device. Therefore, the leakage of a read-out current and a surroundings lump can be prevented much more effectively, and it becomes possible to raise the S/N ratio of a read-out signal output.

[0162]

Moreover, whenever it has the current regulator circuit which has the current convention function to specify the total of a read-out current which flows the magneto-resistive effect component of the couple in one storage cell, as for a read-out current, total will be controlled so that only a constant rate flows. Namely, dispersion in each output value of the magneto-resistive effect component of a couple is stored within fixed limits to resistance dispersion between magneto-resistive effect components by the total current value which flows to a storage cell being standardized by constant value. Therefore, it becomes possible to become possible to obtain the stable differential output, to read, even if it is a case with a feeble read-out current, and to raise the S/N ratio of a

signal output also of the difference of an output value from taking the value of fixed within the limits.

[0163]

Furthermore, if the accumulation arrangement of the 2nd solid state switch of a couple, the resistor for current potential conversion of a couple, and the sense amplifier circuit is made to be carried out into the same field, environmental temperature becomes almost equal by each of the component used as a pair approaching and being arranged, it is prevented that mutual weighted solidity is widely different with the temperature change under actuation, and performing differential operation with these proper circuits is secured. Therefore, it becomes possible to prevent generating of a signal noise.

[0164]

According to the write-in approach of the magnetic memory device concerning this invention, two or more 1st write-in lines, Two or more 2nd write-in lines prolonged so that two or more 1st write-in lines may be intersected, respectively, The layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, In the magnetic memory device equipped with two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce with two or more lead wire, while being arranged so that the direction which met the laminating side at one field side of a layered product may be made into shaft orientations By the field which produces the both sides of the 1st [which constitutes one storage cell so that the magneto-resistive effect component of a couple may be included, and pierces through an annular magnetic layer], and 2nd write-in lines according to the flowing current Since information was written in the storage cell by making it change so that the magnetization direction of the magnetosensitive layer in each of the magneto-resistive effect component of a couple may turn to anti-parallel mutually In the magneto-resistive effect component of a couple, binary information is written in by changing the magnetization direction of a magnetosensitive layer to whether they are anti-parallel, i.e., whether to be facing each other and the reverse sense, mutually. Therefore, since this write-in actuation is performed in the magneto-resistive effect component containing an annular magnetic layer, efficiently, it can attain the writing of positive information and can give a degree of freedom simultaneously to informational write-in method and read-out method. Moreover, since the information written in with the application of this approach is written in certainly, it is possible for a S/N ratio to acquire a higher output signal at the time of the read-out.

[0165]

According to the approach to read the magnetic memory device concerning this invention, furthermore, two or more 1st write-in lines, Two or more 2nd write-in lines prolonged so that two or more 1st write-in lines may be intersected, respectively, The layered product constituted so that a current might flow in the direction vertical to a laminating side including the magnetosensitive layer from which the magnetization direction changes by the external magnetic field, In the magnetic memory device equipped with two or more magneto-resistive effect components containing the annular magnetic layer constituted so that it might pierce with two or more lead wire, while being arranged so that the direction which met the laminating side at one field side of a layered product may be made into shaft orientations Since the information on a storage cell was read based on the current which constitutes one storage cell so that the magneto-resistive effect component of a couple may be included, supplies a read-out current in the direction vertical to the laminating side of each layered product at the magneto-resistive effect component of a couple, and flows to a layered product It uses that the current values at the time of passing a current perpendicularly at these stratification planes differ according to the relative magnetization direction of the magnetosensitive layer of the magneto-resistive effect component which makes a pair. From the value of the read-out current passed into the layered product part of a magneto-resistive effect component, reading appearance of the predetermined information memorized as a magnetization direction of a magnetosensitive layer is carried out. Therefore, it is possible to have a high read-out degree of freedom.

[0166]

According to another magnetic memory device concerning this invention, two or more 1st write-in lines, Two or more 2nd write-in lines prolonged so that two or more 1st write-in lines may be intersected, respectively, It has two or more magneto-resistive effect components which have the magnetosensitive layer from which the magnetization direction changes with external magnetic fields, respectively. The read-out line of the couple for constituting so that one storage cell may contain the magneto-resistive effect component of a couple, and

supplying a read-out current to the magneto-resistive effect component of the couple of a storage cell, respectively, The read-out circuit which reads information from a storage cell based on the difference of the value of the read-out current of the couple supplied to the magneto-resistive effect component of a couple from the read-out line of a couple, respectively, Since it had the current regulator circuit which has the current convention function to specify the total of a read-out current which flows the magneto-resistive effect component of the couple in one storage cell Each storage cell consists of magneto-resistive effect components of a couple, and reading appearance of the information is carried out based on the difference of the read-out current of the couple which flows the magneto-resistive effect component which makes a pair. Dispersion in the read-out current which originates in resistance dispersion between magneto-resistive effect components by the total of a read-out current which flows the magneto-resistive effect component of a couple by the current regulator circuit being specified in that case is stored within fixed limits. The stable differential output can be obtained by this and it becomes possible to raise the S/N ratio of a read-out signal output.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the magnetic whole memory device configuration concerning the gestalt of 1 operation of this invention.

[Drawing 2] It is drawing showing the storage cell and the configuration of a readout circuitry of the magnetic memory device shown in drawing 1 .

[Drawing 3] It is a circuit diagram for explaining the configuration of the whole sense amplifier among the readout circuitries shown in drawing 2 .

[Drawing 4] It is a block diagram showing the situation of mounting of the circumference of the direction actuation circuit section of Y of the storage cell group shown in drawing 1 .

[Drawing 5] It is drawing showing the actual circuit arrangement of the direction actuation circuit section of Y shown in drawing 4 .

[Drawing 6] It is the pattern plot plan of sense amplifier circuit area among the unit actuation circuits shown in drawing 5 .

[Drawing 7] It is the sectional view showing the concrete configuration of the storage cell shown in drawing 1 .

[Drawing 8] It is drawing showing the storage cell shown in drawing 1 and the wiring structure for writing of a magnetic memory device.

[Drawing 9] It is drawing showing the equal circuit of the storage cell shown in drawing 7 .

[Drawing 10] It is drawing for explaining the approach of the information storage in the storage cell shown in drawing 7 .

[Drawing 11] It is drawing for explaining the information write-in approach in the storage cell shown in drawing 7 .

[Drawing 12] It is drawing for explaining the read-out principle of operation from the storage cell in the magnetic memory device shown in drawing 1 .

[Drawing 13] It is a circuit diagram for explaining the example of a comparison of a readout circuitry shown in drawing 2 .

[Drawing 14] It is drawing showing the rectifying device concerning the modification of the diode for antisuckbacks in the readout circuitry shown in drawing 2 , and its arrangement.

[Drawing 15] It is drawing showing the rectifying device concerning the modification of the diode for antisuckbacks in the readout circuitry shown in drawing 2 , and its arrangement.

[Drawing 16] It is drawing showing arrangement concerning the modification of the diode for antisuckbacks in the readout circuitry shown in drawing 2 .

[Drawing 17] It is drawing showing the rectifying device concerning the modification of the diode for antisuckbacks in the readout circuitry shown in drawing 2 , and its arrangement.

[Drawing 18] It is drawing showing the rectifying device concerning the modification of the diode for antisuckbacks in the readout circuitry shown in drawing 2 , and its arrangement.

[Drawing 19] It is drawing of the readout circuitry concerning the example of the magnetic memory device of this invention.

[Drawing 20] It is drawing showing the relation of the bit decoding electrical potential difference and the amperometry value of point of measurement P1-P4 in the readout circuitry shown in drawing 19 .

[Drawing 21] It is drawing showing the relation of the bit decoding electrical potential difference and the

amperometry value of point of measurement P1-P9 in the readout circuitry shown in drawing 19 .

[Drawing 22] It is drawing showing the relation of the resistance fluctuation and output voltage of the storage cell unit of a magnetic storage component in the readout circuitry shown in drawing 19 .

[Drawing 23] It is a representative circuit schematic for explaining the read-out circuit of the example of a comparison over the example shown in drawing 22 .

[Drawing 24] It is drawing showing the relation between the resistance fluctuation between the magnetic storage components which make a pair in the readout circuitry shown in drawing 19 , and output voltage.

[Description of Notations]

1 -- The 1st magnetic layer, 2 -- A non-magnetic layer (tunnel barrier layer), 3 -- The 2nd magnetic layer, 4 [-- The word line for a store,] -- A nonmagnetic conductive layer, 5 -- An annular magnetic layer, 6a -- The bit line for a store, 6b 7 [-- A substrate, 11 / -- Lead wire for read-out sensing,] -- An insulating layer, 8 -- A conductive layer, 9 -- An epitaxial layer, 10 12 -- A storage cell, 12A, 12B -- A magnetic storage component, 13A, 13B -- Diode for antisuckbacks, 20 -- A bit decoding line, 21A, 21B -- The bit decoding line for sense (sense bit line), 22A, 22B -- A transistor, 23A, 23B -- The resistor for current potential conversion, 30 -- A WORD decoding line, 31 -- The WORD decoding line for sense (sense word line), 32 [-- Sense amplifier input line,] -- Diode, 33 -- A transistor, 34 -- A current limiting resistor, 40A, 40B 41A, 41B -- A transistor, 42A, 42B -- Bias resistor, 43 [-- Sense amplifier output line,] -- Diode, 44 -- A transistor, 45 -- A resistor, 51A, 51B 63A, 63B -- The transistor for antisuckbacks, 73A, 73B -- MOSFET for antisuckbacks, 80 -- The direction unit read-out circuit of a bit, 101 -- An address buffer, 102 -- Data buffer, 102A -- An input buffer, 102B -- An output buffer, 103 -- Control logic section, 104 -- A storage cell group, 105,107 -- The address line, 106 -- The direction actuation circuit section of Y, The direction address decoder of 106 A--Y, 106B -- A sense amplifier, the direction current drive of 106 C--Y, 108 -- The direction actuation circuit section of X, the direction address decoder of 108 A--X, 108B -- Current regulator circuit, 108C -- The direction current drive of X, 109 -- A storage cell, 110,111 -- The data bus for writing, 112 [-- An external data terminal, Xn / -- (storage cell 12) A WORD train Yn / -- (storage cell 12) A bit string, DUn / -- Unit actuation circuit.] -- The data bus for read-out, 113 -- A control signal line, A0-A20 -- An external address input terminal, D0-D7

[Translation done.]

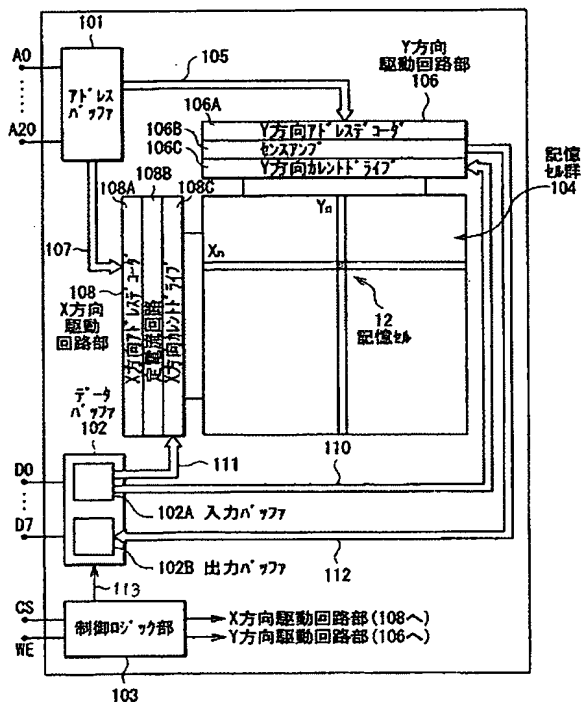
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

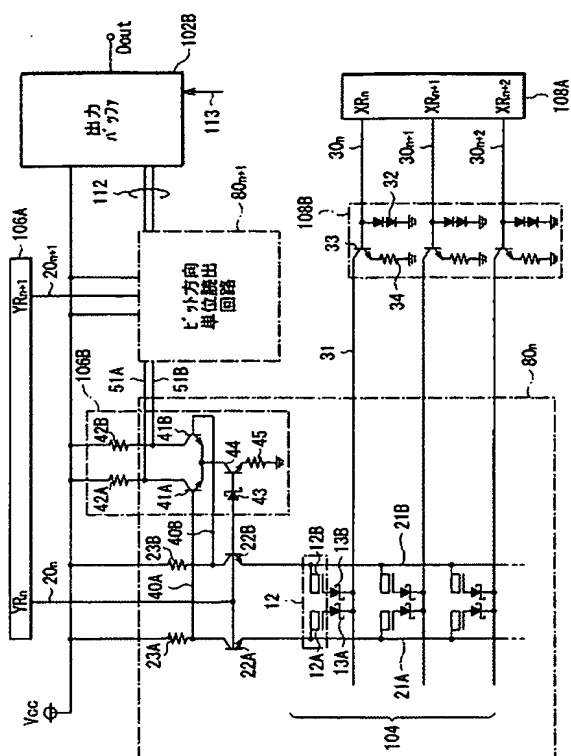
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

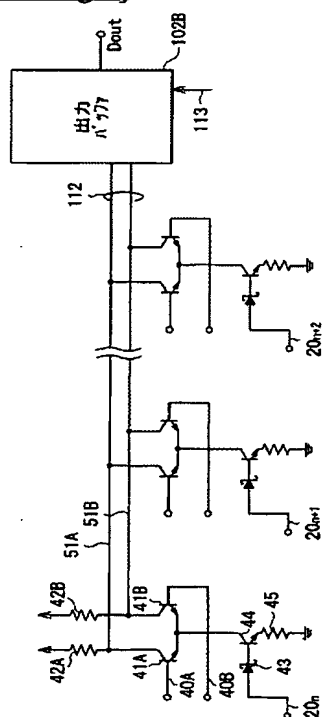
[Drawing 1]



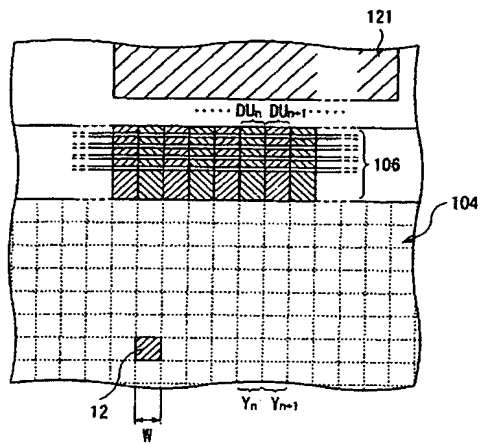
[Drawing 2]



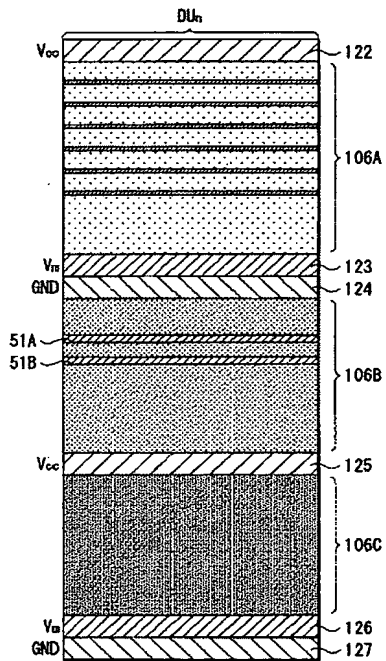
[Drawing 3]



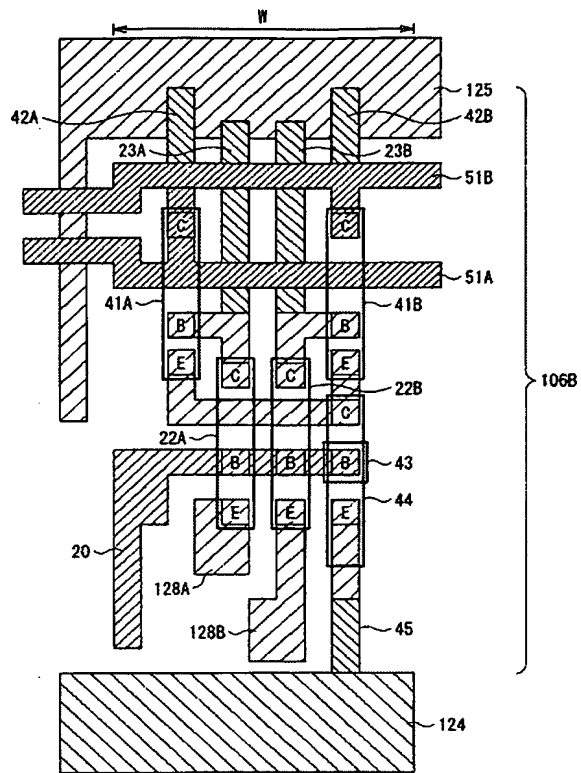
[Drawing 4]



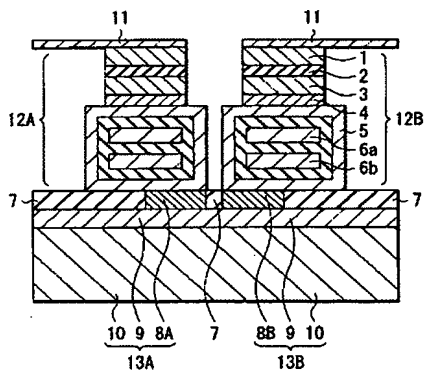
[Drawing 5]



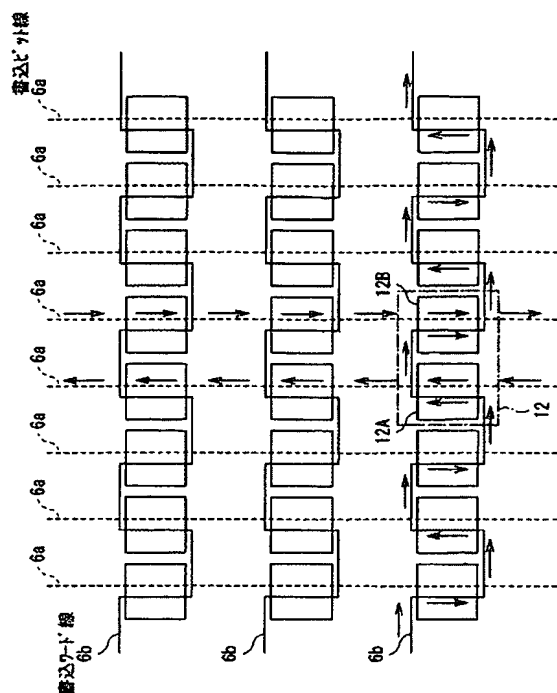
[Drawing 6]



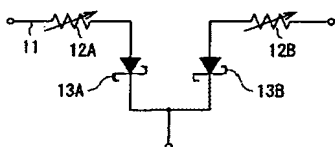
[Drawing 7]



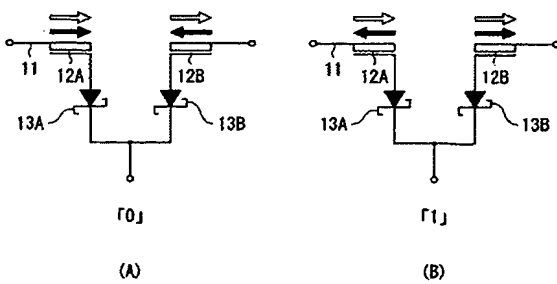
[Drawing 8]



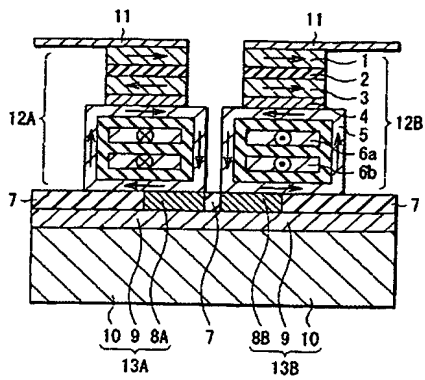
[Drawing 9]



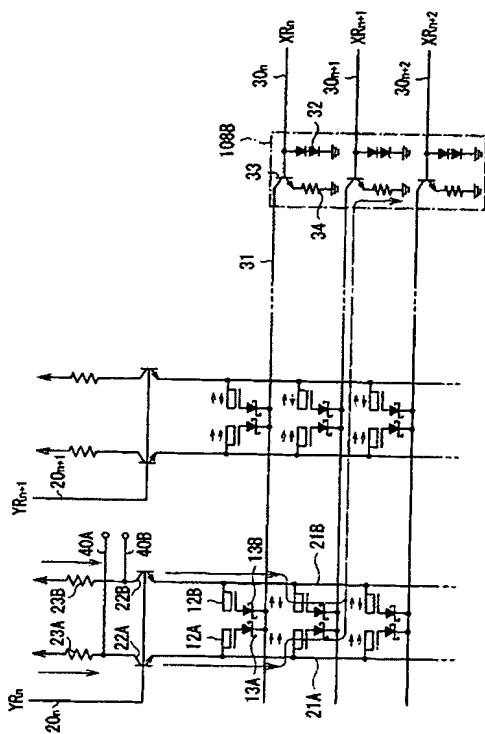
[Drawing 10]



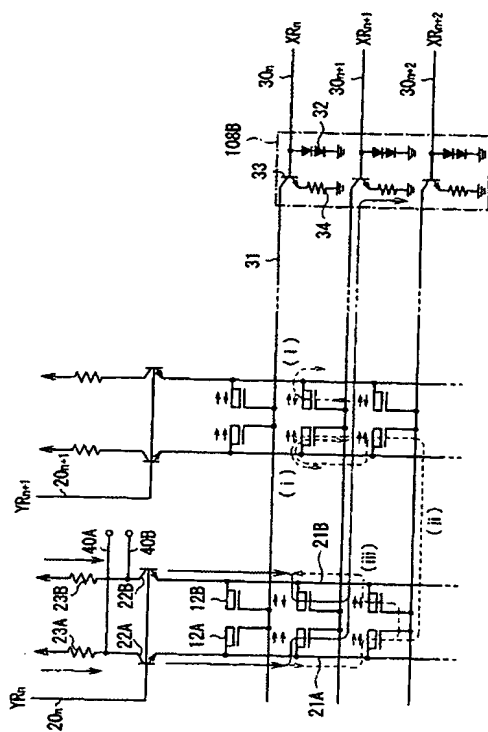
[Drawing 11]



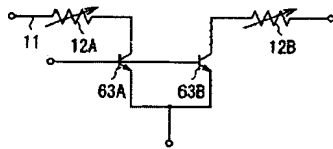
[Drawing 12]



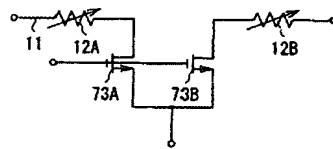
[Drawing 13]



[Drawing 14]



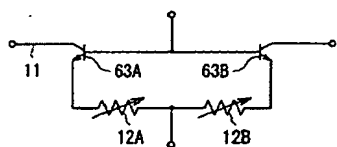
[Drawing 15]



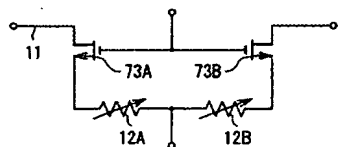
[Drawing 16]



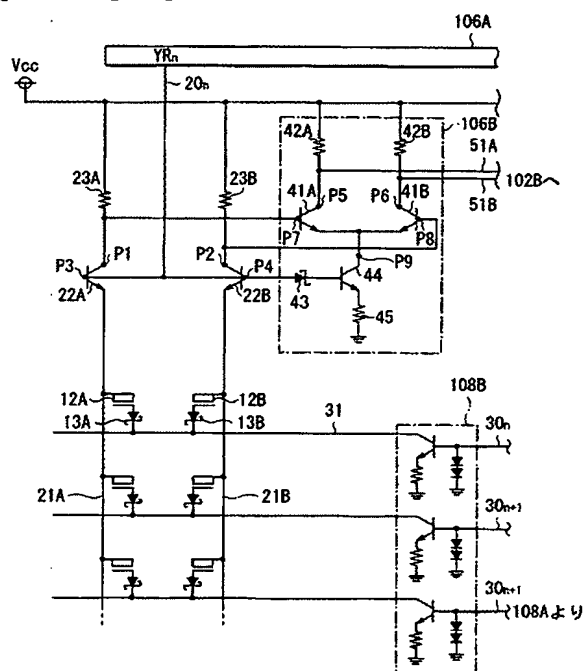
[Drawing 17]



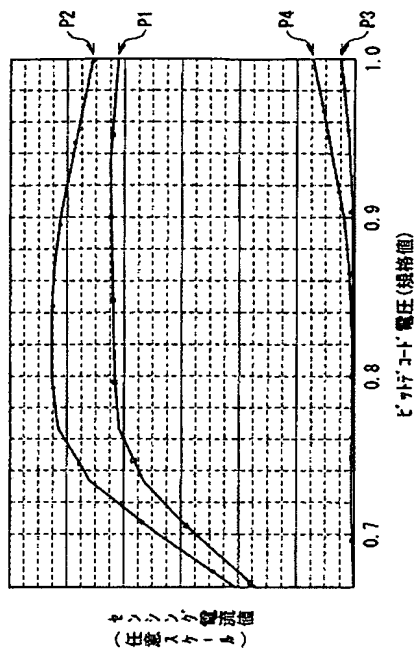
[Drawing 18]



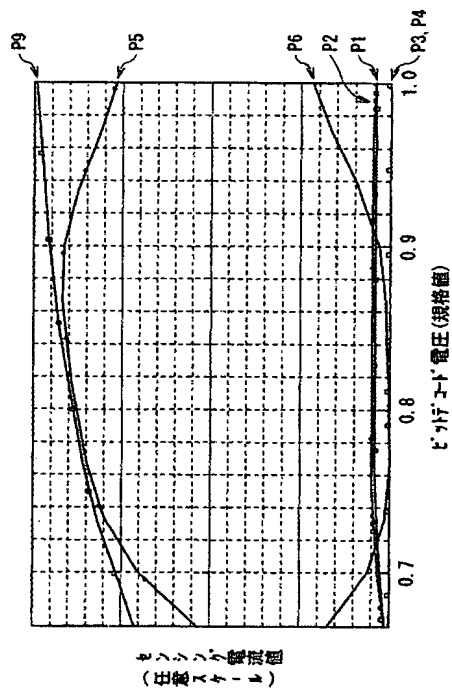
[Drawing 19]



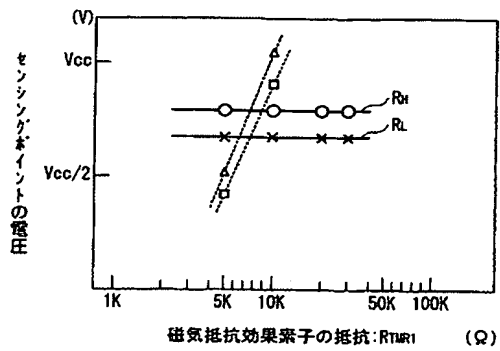
[Drawing 20]



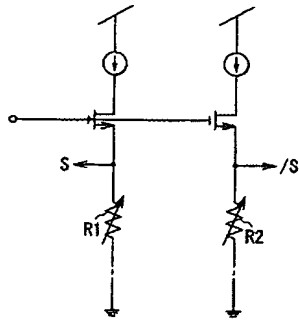
[Drawing 21]



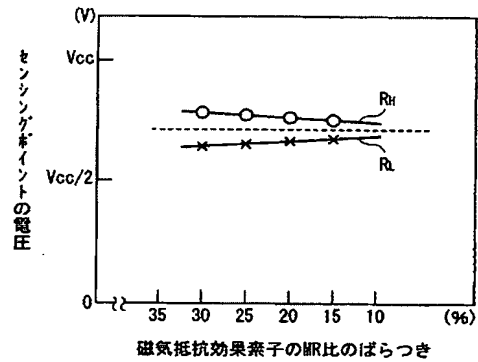
[Drawing 22]



[Drawing 23]



[Drawing 24]



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-119638

(43)Date of publication of application : 15.04.2004

(51)Int.Cl.

H01L 27/105

G11C 11/15

H01L 43/08

(21)Application number : 2002-280094

(71)Applicant : TDK CORP

(22)Date of filing : 25.09.2002

(72)Inventor : EZAKI KIICHIROU

KAKINUMA YUJI

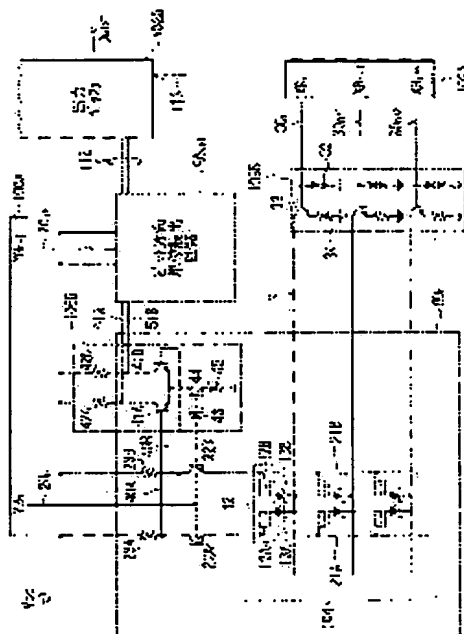
KOGA KEIJI

(54) MAGNETIC MEMORY DEVICE AND WRITE/READ METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a magnetic memory device which can obtain a readout signal output having a high S/N and a read method of the same, and also to provide a write method of the magnetic memory device which enables information read operation in high S/N.

SOLUTION: A storage cell 12 is formed of a pair of magnetic storage elements 12A, 12B. The magnetic storage elements 12A, 12B are respectively connected at one ends to the sense bit-lines 21A, 21B, while connected at the other ends to the sense word line 31 via a pair of the reverse-current protection diodes 13A, 13B. In the grounding side of the sense word line 31, a constant current circuit 108B is arranged. The constant current circuit 108B has the function to keep constant the current flowing into the sense word line 31, and is formed of diode 32 for generating a constant voltage, a transistor 33 and a current limiting resistor 34.



LEGAL STATUS

[Date of request for examination]

08.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11) 特許出願公開番号

特開2004-119638

(P2004-119638A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int. Cl. ⁷

HO 1 L 27/105

G 1 1 C 11/15

HO 1 L 43/08

F I

H01 L 27/10

G 1 1 C 11/15

G 1 1 C 11/15

H01L 43/08

447

110

120

$$\mathbf{Z}$$

テーマコード (参考)

5 F 0 8 3

審査請求 未請求 請求項の数 26 O L (全 38 頁)

(21) 出願番号

特願2002-280094 (P2002-280094)

(22) 出題日

平成14年9月25日 (2002. 9. 25)

(71) 出願人 000003067

T D K 株式会社

東京都中央区日本橋1丁目13番1号

(74) 代理人 100109656

弁理士 三

100098785

弁理士 藤

江▲崎▼ 城一朗

東京都中央区日本

イー・ディー・ケー株式会社内

柳沼 裕一

東京都中央

イー・ブイ・ケー株式会社内

1997, 1998, 1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 2655, 2656, 2657, 2658, 2659, 2660, 2661, 2662, 2663, 2664, 2665, 2666, 2667, 2668, 2669, 2670, 2671, 2672, 2673, 2674, 2675, 2676, 2677, 2678, 26

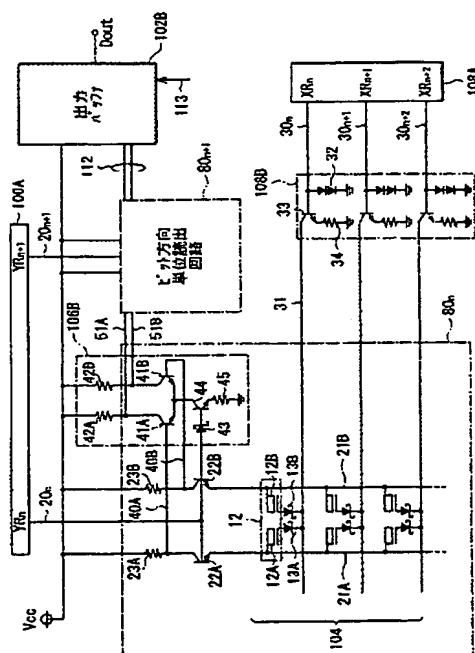
[最終頁に続く](#)

(54) 【発明の名称】 磁気メモリデバイス、並びに磁気メモリデバイスの書込方法および読出方法

(57) 【要約】

【課題】 S/N 比が高い読み出し信号出力を得ることが可能な磁気メモリデバイスおよび磁気メモリデバイスの読出方法、並びに、 S/N 比が高い情報読み出しを可能とする磁気メモリデバイスの書込方法を提供する。

【解決手段】記憶セル１２は、１対の磁気記憶素子１２Ａ、１２Ｂからなる。磁気記憶素子１２Ａ、１２Ｂはそれぞれ、一端がセンスビット線２１Ａ、２１Ｂに、他端が１対の逆流防止用ダイオード１３Ａ、１３Ｂを介してセンスワード線３１に接続される。センスワード線３１の接地側に、定電流回路１０８Ｂが配設されている。定電流回路１０８Ｂは、センスワード線３１を流れる電流を一定とする機能を有し、定電圧発生用のダイオード３２、トランジスタ３３および電流制限抵抗器３４から構成されている。



【特許請求の範囲】

【請求項1】

複数の第1の書込線と、
前記複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、
外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に前記積層面に沿った方向を軸方向とするように配設されると共に前記第1および第2の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備え、

1つの記憶セルが一对の前記磁気抵抗効果素子を含んで構成されていることを特徴とする磁気メモリデバイス。

【請求項2】

前記感磁層と前記環状磁性層とが電氣的に接続されていることを特徴とする請求項1に記載の磁気メモリデバイス。

【請求項3】

前記環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって、前記一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行を向くように変化し、前記記憶セルに情報が記憶されることを特徴とする請求項1または請求項2に記載の磁気メモリデバイス。

【請求項4】

前記一对の磁気抵抗効果素子における一对の感磁層の一方が第1の方向に磁化し他方が前記第1の方向と反平行をなす第2の方向に磁化する第1の状態と、前記一对の感磁層の一方が前記第2の方向に磁化し他方が前記第1の方向に磁化する第2の状態、のいずれかをとり、前記第1および第2の状態に対応して前記記憶セルに情報が記憶されることを特徴とする請求項3に記載の磁気メモリデバイス。

【請求項5】

前記一对の磁気抵抗効果素子にそれぞれ接続され、各磁気抵抗効果素子に読出電流を供給する一对の第1の読出線を備え、
前記各積層体に流れる電流に基づいて前記記憶セルから情報が読み出されることを特徴とする請求項1ないし請求項4のいずれか1項に記載の磁気メモリデバイス。

【請求項6】

前記一对の第1の読出線の各々から前記一对の磁気抵抗効果素子の各々に読出電流が供給され、この一对の読出電流値の差分に基づいて前記記憶セルから情報が読み出される

ことを特徴とする請求項5に記載の磁気メモリデバイス。

【請求項7】

前記一对の磁気抵抗効果素子に供給された読出電流の電流経路上に設けられた整流素子と、
前記一对の磁気抵抗効果素子を流れた読出電流を接地へと導く第2の読出線とを備えたことを特徴とする請求項6に記載の磁気メモリデバイス。

10 【請求項8】

前記一对の磁気抵抗効果素子に供給された読出電流の各電流経路上に、前記整流素子がそれぞれ設けられていることを特徴とする請求項7に記載の磁気メモリデバイス。

【請求項9】

前記一对の整流素子は、前記一对の第1の読出線と前記一对の磁気抵抗効果素子との間にそれぞれ設けられていることを特徴とする請求項8に記載の磁気メモリデバイス。

20 【請求項10】

前記一对の整流素子は、前記一对の磁気抵抗効果素子と前記一对の第2の読出線との間にそれぞれ設けられていることを特徴とする請求項8に記載の磁気メモリデバイス。

【請求項11】

前記整流素子は、ショットキーダイオード、PN接合ダイオード、バイポーラトランジスタ、またはMOS (Metal-Oxide-Semiconductor) トランジスタのいずれかであることを特徴とする請求項7ないし請求項10のいずれか1項に記載の磁気メモリデバイス。

【請求項12】

1つの記憶セルにおける一对の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路を備えたことを特徴とする請求項6ないし請求項11のいずれか1項に記載の磁気メモリデバイス。

【請求項13】

40 前記定電流回路は、バンドギャップリファレンスを利用して構成されていることを特徴とする請求項12に記載の磁気メモリデバイス。

【請求項14】

前記定電流回路は、ダイオードとトランジスタと抵抗器とを組み合わせ構成されていることを特徴とする請求項12または請求項13に記載の磁気メモリデバイス。

【請求項15】

50 前記定電流回路における前記トランジスタは、

前記電流規定機能に加えて、
前記一对の磁気抵抗効果素子に読出電流を流すか否かを選択するための第1の半導体スイッチとしても機能することを特徴とする請求項14に記載の磁気メモリデバイス。

【請求項16】

前記定電流回路は、前記第2の読出線と接地との間に配設されている

ことを特徴とする請求項12ないし請求項15のいずれか1項に記載の磁気メモリデバイス。

【請求項17】

前記一对の第1の読出線の各々と電源との間に、一对の電流電圧変換用抵抗器が設けられている

ことを特徴とする請求項6ないし請求項16のいずれか1項に記載の磁気メモリデバイス。

【請求項18】

前記電流電圧変換用抵抗器は、前記磁気抵抗効果素子の抵抗値よりも大きい抵抗値を有する

ことを特徴とする請求項17に記載の磁気メモリデバイス。

【請求項19】

さらに、前記一对の第1の読出線ごとに設けられ、これらの第1の読出線を流れる読出電流の差を電圧差として検知して増幅するセンスアンプ回路を備え、

前記一对の電流電圧変換用抵抗器の各々における、前記電源側とは反対側の端子が、前記センスアンプ回路の入力端に接続されている

ことを特徴とする請求項17または請求項18に記載の磁気メモリデバイス。

【請求項20】

さらに、

前記一对の電流電圧変換用抵抗器の各々における、前記電源側とは反対側に設けられ、前記一对の磁気抵抗効果素子に読出電流を供給するか否かを選択するための一对の第2の半導体スイッチを備え、

前記一对の第2の半導体スイッチ、前記一对の電流電圧変換用抵抗器、および前記センスアンプ回路が、同一の領域内に集積配置されている

ことを特徴とする請求項19に記載の磁気メモリデバイス。

【請求項21】

前記一对の第2の半導体スイッチ、前記一对の電流電圧変換用抵抗器、および前記センスアンプ回路が、それぞれ、対称な回路を構成している

ことを特徴とする請求項20に記載の磁気メモリデバイス。

【請求項22】

複数の第1の書込線と、

前記複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、

外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、前記積層体の一方の面側に前記積層面に沿った方向を軸方向とするように配設されると共に前記第1および第2の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子と

を備えた磁気メモリデバイスに対して情報を書き込む方法であって、

10 一对の磁気抵抗効果素子を含むように1つの記憶セルを構成し、

前記環状磁性層を貫く前記第1および第2の書込線の双方を流れる電流により生ずる磁界によって、前記一对の磁気抵抗効果素子の各々における前記感磁層の磁化方向が互いに反平行を向くように変化させることにより前記記憶セルに情報を書き込む

ことを特徴とする磁気メモリデバイスの書込方法。

【請求項23】

複数の第1の書込線と、

20 前記複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、

外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、前記積層体の一方の面側に前記積層面に沿った方向を軸方向とするように配設されると共に前記第1および第2の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子と

を備えた磁気メモリデバイスから情報を読み出す方法であって、

30 一对の磁気抵抗効果素子を含むように1つの記憶セルを構成し、

前記一对の磁気抵抗効果素子に、各積層体の積層面に垂直な方向に読出電流を供給し、

前記積層体に流れる電流に基づいて前記記憶セルの情報を読み出す

ことを特徴とする磁気メモリデバイスの読出方法。

【請求項24】

前記一对の磁気抵抗効果素子の各々に読出電流を供給し、この一对の読出電流値の差分に基づいて前記記憶セルの情報を読み出す

40 ことを特徴とする請求項23に記載の磁気メモリデバイスの読出方法。

【請求項25】

複数の第1の書込線と、前記複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子とを備え、1つの記憶セルが一对の磁気抵抗効果素子を含むように構成された磁気メモリデバイスであって、

前記記憶セルの一对の磁気抵抗効果素子に対してそれぞれ読出電流を供給するための一对の読出線と、

前記一対の読出線から前記一対の磁気抵抗効果素子にそれぞれ供給された一対の読出電流の値の差分に基づいて前記記憶セルから情報を読み出す読出回路と、

1つの記憶セルにおける一対の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路と

を備えたことを特徴とする磁気メモリデバイス。

【請求項26】

前記定電流回路は、

ダイオードと、

前記電流規定機能に加えて、前記一対の磁気抵抗効果素子に読出電流を流すか否かを選択するための半導体スイッチとしても機能するトランジスタと、

抵抗器と

を組み合わせ構成されたことを特徴とする請求項25に記載の磁気メモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁性薄膜メモリ素子を用いて構成される磁気メモリデバイス、並びに磁気メモリデバイスの書込方法および読出方法に関する。

【0002】

【従来の技術】

従来より、コンピュータやモバイル通信機器などの情報処理装置に用いられる汎用メモリとして、DRAM (Dynamic Random Access Memory)、SRAM (Static RAM) などの揮発性メモリが使用されている。これらの揮発性メモリは、常に電流を供給しておかなければ全ての情報が失われる。そのため、情報を記憶する手段、すなわち不揮発性メモリを設ける必要があり、フラッシュEEPROMやハードディスク装置などが用いられる。これらの不揮発性メモリにおいては、情報処理の高速化に伴ってアクセスの高速化が重要な課題となっている。さらに、携帯情報機器の急速な普及および高性能化に伴い、いつでも何処でも情報処理が行える、いわゆるユビキタスコンピューティングを目指した情報機器の開発が急速に進められている。このような機器の開発におけるキーデバイスとして、高速な不揮発性メモリの開発が強く求められている。

【0003】

不揮発性メモリの高速化に有効な技術として、MRAM (Magnetic Random Access Memory) が知られている。MRAMは、マトリクス状に配列される個々の記憶セルが、2つの強磁性層を備えた磁気素子で構成されたものである。各記憶セルでは、「0」、「1」の2値情報に対応させて、素子の強磁性層の磁化を磁化容易軸に沿って平行または反平行な状態とすることで情報が記憶される。磁気素子は、強磁

性層の磁化方向が平行か反平行かによって、特定方向の抵抗値が異なる。従って、情報に対応させた抵抗の違いを、電流または電圧の変化として検出することにより、記憶セルから情報が読み出される。こうした原理で動作することから、MRAMでは、安定した書き込み/読み出しを行うために抵抗変化率ができるだけ大きいことが重要である。

【0004】

現在実用化されているMRAMは、巨大磁気抵抗効果

10 (GMR: Giant magnetoresistive) を利用したものである。GMRとは、2つの磁性層を磁化容易軸が平行であるように配設したときに、これら各層の磁化方向が、磁化容易軸に沿って平行となる場合に抵抗値が最小となり、反平行の場合に最大となる現象である。GMR素子を用いたMRAM (以後、GMR-MRAMと略記) としては、例えば特許文献1に開示された技術が知られている。

【0005】

GMR-MRAMには、保磁力差型 (Pseudo Spin Valve型) と、交換バイアス型 (Spin Valve型) とがある。Pseudo Spin Valve型のMRAMは、GMR素子が2つの強磁性層とそれらの間に挟まれた非磁性層とが積層して構成され、2つの強磁性層の保磁力の差を利用して情報の書き込み/読み出しを行うものである。また、Spin Valve型のMRAMは、2つの強磁性層が、磁化方向が固定されている固定層、および、外部磁界により磁化方向が変化可能な自由層からなるものである。この固定層は、非磁性層を挟んで反強磁性層と反強磁性結合させることにより、磁化が安定して固定される。それぞれの型のGMR素子の抵抗変化率は、(NiFe/Cu/Co) の積層構造をとるPseudo Spin Valve型の素子では約6~8%、(PtMn/CoFe/Cu/CoFe) の積層構造をとるSpin Valve型の素子でも10%程度である。そのため、抵抗差を電流または電圧の差とする読み出し出力は、未だ十分に得られておらず、記憶容量やアクセス速度を改善するのは難しいとされている。

【0006】

40 その点、強磁性トンネル効果 (TMR: Tunneling magnetoresistive) を利用したMRAM (以後、TMR-MRAMと略記) では、抵抗変化率を格段に大きくすることができる。TMRとは、極薄の絶縁層を挟んで積層された2つの強磁性層 (磁化方向が固定された固定層と、磁化方向が変化可能な感磁層すなわち自由層) において、互いの磁化方向の相対角度により絶縁層を流れるトンネル電流が変化する現象である。すなわち、磁化方向が平行である場合にトンネル電流は最大 (セルの抵抗値は最小) となり、反平

となる。TMR素子の具体例としては、CoFe/Al oxide /CoFeの積層構造が知られるが、その抵抗変化率は40%以上にも及ぶ。

【0007】

また、TMR素子の抵抗は高いために、MOS型電界効果トランジスタ(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)などの半導体デバイスと組み合わせた場合のマッチングが取り易いとされている。以上の利点から、TMR-MRAMは、GMR-MRAMと比較して高出力化が容易であり、記憶容量やアクセス速度の向上が期待されている。TMR-MRAMとしては、特許文献2、特許文献3に開示された技術などが知られている。

【0008】

TMR-MRAMでは、情報の書き込みについては、導線に流す電流によって誘導する電流磁界を利用して強磁性層の磁化方向を変化させる方式が採られる。これにより、2値情報が、強磁性層間の相対的な磁化方向(平行または反平行)に対応して記憶される。記憶情報の読み出しについては、絶縁層に対し、層面に垂直方向に電流を流し、トンネル電流値もしくはトンネル抵抗を検出する方法が採られている。この場合、強磁性層間の相対的な磁化方向(平行または反平行)の違いが、出力電流値ないしセル抵抗値の差として現れる。

【0009】

そのセルアレイ構造としては、データ線上に複数のTMR素子を並列接続したうえで、選択用の半導体素子を、各々のTMR素子に対応させて配置するものやデータ線ごとに配置するものが提案されている。半導体素子には、MOSFET、FETのゲート・ドレイン間を短絡して構成されるダイオード、pn接合ダイオード、およびショットキーダイオード等が用いられる。また、行データ線、列データ線を用いてTMR素子をマトリクス状に配置し、データ線ごとに選択用トランジスタを配設したものが提案されている。

【0010】

このうち、読み出し時の消費電力効率の面で最も優れた特性を有しているのは、各々のTMR素子に対して選択用半導体素子を配置する構造である。ただし、各半導体素子の特性にばらつきが生じている場合、それに起因した雑音が無視できない。加えて、データ線に結合した雑音、センスアンプの特性ばらつきによる雑音、電源回路から回り込む周辺回路の雑音も考慮すると、記憶セルの出力電圧のS/N比は、数dB程にしかない可能性がある。

【0011】

そのため、読み出し出力のS/N比を向上すべく、TMR-MRAMのセルアレイには以下のような改良がなされてきた。

【0012】

よく用いられるのは、選択した一つの記憶セルの出力電圧Vを参照電圧Vrefと比較し、その差分電圧Vsigを差動増幅する方法である。差動増幅の目的は、第1に、記憶セルが接続されるデータ線対に生じる雑音を除去することであり、第2に、センス線駆動用またはセル選択用の半導体素子の特性ばらつきによる出力電圧のオフセットを除去することである。しかしながら、参照電圧Vrefの発生回路はダミーセルや半導体素子を用いた回路によって実現され、この回路と記憶セルとの間でも素子の特性ばらつきは存在するため、出力電圧のオフセットを完全に除去することは原理的に不可能である。

【0013】

これを解決するものとしては、1対のTMR素子によって記憶セルを構成し、これら対をなす素子からの出力を差動増幅する方法が一般に広く知られている。この方法においては、対をなすTMR素子それぞれの感磁層の磁化方向が、常に、互いに反平行となるように書き込みがなされる。すなわち、一方の素子では感磁層の磁化と固定層の磁化が平行、他方の素子では両層の磁化が互いに反平行となるように相補的に書き込みを行い、2つの素子の出力を差動増幅して読み出すことで、同相雑音を除去し、S/N比を向上させるというものである。そのような差動増幅型の回路構成は、特許文献4、特許文献5および非特許文献1などにおいて開示されている。

【0014】

より具体的に例示するならば、特許文献4や特許文献5に記載されている技術では、記憶セルを構成する第1のTMR素子と第2のTMR素子は、それぞれ的一端が一对の第1、第2のデータ線に別々に接続され、他端は共に同一のセル選択用半導体素子を介してビット線に接続されるようになっている。ワード線は、セル選択用半導体素子に接続される。情報の読み出しは、第1のデータ線と第2のデータ線とを等電位に保ちつつ、ビット線とこれら第1、第2のデータ線との間に電位差を与え、第1、第2のデータ線に流れる電流量の差分値を出力とすることでなされる。

【0015】

【特許文献1】

40 米国特許第5343422号公報

【特許文献2】

米国特許第5629922号公報

【特許文献3】

特開平9-91949号公報

【特許文献4】

特開2001-236781号公報

【特許文献5】

特開2001-266567号公報

【非特許文献1】

50 ISSCC 2000 Digest paper T

A7. 2

【0016】

【発明が解決しようとする課題】

しかしながら、こうした差動増幅方式の全般において、対をなすTMR素子間の抵抗値のばらつきが問題となっていた。TMR素子には製造プロセスで生じる抵抗ばらつきがあり、これに起因する電流誤差は避けられない。そのため、否応なく出力信号のS/N比が低下する結果となっていた。

【0017】

上記の配線構造についていえば、第1、第2のデータ線にTMR素子が多数接続され、第3のビット線にビット列方向のセル数だけのセル選択用半導体素子が接続されて記憶セルのマトリクスが構成されていることから、安定した読み出し信号出力を得るには、各データ線に接続されたTMR素子間の抵抗ばらつき、および同一のビット線に接続されている選択用半導体素子間の特性ばらつきを十分に抑制する必要がある。しかしながら、第1のデータ線と第2のデータ線に等電位の電圧差を与える読み出し方法は、原理的に上記のばらつきを抑制できるようになっていない。そのため、これらのばらつきによる雑音に万全な対策をとることは極めて難しいという問題があった。

【0018】

こうした理由から、次々と方策が提案されているものの、従来のMRAMにおいては、読み出し信号のS/N比を十分改善することはできていなかった。その結果、TMR素子の抵抗変化率がおよそ40%に達するにも関わらず、実際には十分な出力電圧が得られてはいなかった。つまり、現状のメモリ構造のままでは、読み出し精度等の動作安定性の点ですでに問題を抱えているだけでなく、さらには、メモリの高密度化に十分対応できないことが想定される。

【0019】

なお、以上みてきたように、TMR-MRAMの読み出し方法や読み出し回路の構成については数々の工夫がなされてきた一方で、TMR素子自体の構造には、これまで特段の改良がなされていなかった。

【0020】

本発明はかかる問題点に鑑みてなされたもので、その目的は、S/N比が高い読み出し信号出力を得ることが可能な磁気メモリデバイスおよび磁気メモリデバイスの読出方法、並びに、S/N比が高い情報読み出しを可能とする磁気メモリデバイスの書込方法を提供することにある。

【0021】

【課題を解決するための手段】

本発明の第1の観点に係る磁気メモリデバイスは、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によ

って磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に第1および第2の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備え、1つの記憶セルが一对の磁気抵抗効果素子を含んで構成されているものである。

【0022】

ここで、「外部磁界」は、第1および第2の書込線に流れる電流によって生ずる磁界、または、環状磁性層に生ずる還流磁界を意味している。また、「環状磁性層」の「環状」とは、少なくとも内部を貫通した第1および第2の書込線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り囲み、第1または第2の書込線を横切る方向の断面が閉じている状態を示している。よって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容する。製造工程において発生する程度の酸化膜を含んでいてもよいのは無論である。「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫通する第1および第2の書込線の延在方向を指す。さらに、「積層体の一方の面側に、…配設され」とは、環状磁性層が積層体の一方の面の側に積層体とは別体として配設される場合のほか、環状磁性層が積層体の一部を含むように配設される場合をも含むという趣旨である。

【0023】

この磁気メモリデバイスでは、単独で1単位情報を記憶することが可能な磁気抵抗効果素子を2つ用いて、1つの単位情報が記憶される。また、磁気抵抗効果素子の各々は、第1および第2の書込線に電流を流すことによって環状磁性層に閉磁路を形成する。これにより、感磁層の磁化反転が効率的に行われる。

【0024】

この磁気メモリデバイスは、感磁層と環状磁性層とが電氣的に接続されているものであることが好ましい。これにより、積層体の積層面に垂直な方向に流れる電流が、感磁層から環状磁性層へと流れるようになる。

【0025】

さらに、この磁気メモリデバイスは、環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって、一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行を向くように変化し、記憶セルに情報が記憶されるものであることが好ましい。本発明における「磁化方向が互いに反平行」とは、互いの磁化方向、すなわち、磁性層内の平均磁化の方向のなす角度が厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して互いの磁化方向のなす角度が180度から所定角度だけ外れている場合も含む。また、「情報」とは、一般に磁気メモリデバイスへの入出力信号に

において「0」、「1」あるいは電流値や電圧値による「High」、「Low」等で表される2値情報をいう。

【0026】

この磁気メモリデバイスでは、一対の磁気抵抗効果素子において、感磁層の磁化方向が互いに反平行となる状態で情報が記憶される。

【0027】

より具体的には、一対の磁気抵抗効果素子における一対の感磁層の一方が第1の方向に磁化し他方が第1の方向と反平行をなす第2の方向に磁化する第1の状態と、一対の感磁層の一方が第2の方向に磁化し他方が第1の方向に磁化する第2の状態、のいずれかをとり、第1および第2の状態に対応して記憶セルに情報が記憶されるようにすることが望ましい。このとき、一対の磁気抵抗効果素子における双方の感磁層の磁化は、互いに向き合うか、反対向きになるかの2状態をとり、これに2値情報が対応する。

【0028】

本発明の第1の観点に係る磁気メモリデバイスは、さらに、一対の磁気抵抗効果素子にそれぞれ接続され、各磁気抵抗効果素子に読出電流を供給する一対の第1の読出線を備え、各積層体に流れる電流に基づいて記憶セルから情報が読み出されるように構成される。なお、本発明の磁気メモリデバイスにおいて「接続され」とは、少なくとも電気的に接続された状態を指し、物理的に直接に接続されていることを必ずしも条件としない。

【0029】

この磁気メモリデバイスでは、対をなす磁気抵抗効果素子の感磁層の相対的な磁化方向に応じ、これらの層面に垂直方向に電流を流した場合の電流値が異なることを利用して、情報の読み出しが行われる。

【0030】

情報読み出しについては、一対の第1の読出線の各々から一対の磁気抵抗効果素子の各々読出電流が供給され、この一対の読出電流値の差分に基づいて記憶セルから情報を読み出すようにするのが好ましい。この方式によれば、読出電流は差動出力されるため、第1の読出線各々に生じる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が相殺されて除去される。

【0031】

また、本発明の第1の観点に係る磁気メモリデバイスは、一対の磁気抵抗効果素子に供給された読出電流の電流経路上に設けられた整流素子と、一対の磁気抵抗効果素子を流れた読出電流を接地へと導く第2の読出線とを備えていることが好ましい。本発明の「整流素子」とは、電流を一方方向にのみ通過させ、逆方向の電流の通過を阻止する素子をいう。また、「電流経路」とは、読出電流が磁気抵抗効果素子に流入するためにたどり、磁気抵抗効果素子を通過し、流出してゆく経路の全体をい

う。整流素子は、上記の電流経路上で、接地方向（第2の読出線側）にしか電流を流さない整流作用を有している。この整流素子により、読み出し対象の各記憶セルに向かって、共通の第2の読出線に接続されている他の記憶セルから電流が回り込んでくることが阻止される。

【0032】

さらには、一対の読出電流の各電流経路上に、整流素子がそれぞれ設けられているようにすることが好ましい。その場合、読み出し対象の記憶セル内における一方の磁気抵抗効果素子から他方の素子へ電流が流れ、第1の読出線にまで通り抜けることが阻止される。一対の整流素子は、一対の第1の読出線と一対の磁気抵抗効果素子との間にそれぞれ設けられていてもよいし、一対の磁気抵抗効果素子と一対の第2の読出線との間にそれぞれ設けられていてもよい。整流素子には、ショットキーダイオード、PN接合ダイオード、バイポーラトランジスタ、またはMOSトランジスタが好適に用いられる。

【0033】

さらに、本発明の第1の観点に係る磁気メモリデバイスにおいては、1つの記憶セルにおける一対の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路を備えるようにすることが、より好ましい。これにより、読出電流は、微弱であっても総和が常に一定量だけ流れるように制御される。また、通常は、記憶セル内で対をなす磁気抵抗効果素子同士または記憶セル相互の磁気抵抗効果素子間では、抵抗値にばらつきが生じることが多いため、流れる電流量もばらつき可能性がある。これに対し、上記のように読み出し回路系に定電流回路を設け、各記憶セルに常に一定の値に規格化された読出電流を流すようにすることで、磁気抵抗効果素子相互の抵抗値のばらつきに起因する出力電流値のばらつきが一定範囲内に収められる。

【0034】

本発明における定電流回路は、バンドギャップリファレンスを利用して構成することができ、ダイオードとトランジスタと抵抗器との組み合わせで構成可能である。そのとき、トランジスタは、電流規定機能に加えて、一対の磁気抵抗効果素子に読出電流を流すか否かを選択するための第1の半導体スイッチとしても機能するものとして用いることができる。また、定電流回路は、例えば第2の読出線と接地との間に配設するとよい。

【0035】

さらに、本発明の第1の観点に係る磁気メモリデバイスにおいては、一対の第1の読出線の各々と電源との間に一対の電流電圧変換用抵抗器が設けられていることが好ましい。本発明において、「電源」とは、回路動作に必要な電流ないし電圧の供給源であり、磁気メモリデバイスの内部電源ラインを意味する。この一対の電流電圧変換用抵抗器における電圧降下により、読出電流から電圧出力が取り出される。この電流電圧変換用抵抗器は、大

きな出力値を得るために、磁気抵抗効果素子の抵抗値よりも大きい抵抗値を有することが望ましい。

【0036】

そのうえで、一对の第1の読出線ごとに設けられ、これらの第1の読出線を通る読出電流の差を電圧差として検知して増幅するセンスアンプ回路を備え、一对の電流電圧変換用抵抗器の各々における、電源側とは反対側の端子が、センスアンプ回路の入力端に接続されていることが望ましい。このセンスアンプ回路により、電流電圧変換用抵抗器の電源側の一端に生じた電圧が増幅される。

【0037】

さらに、本発明の第1の観点に係る磁気メモリデバイスは、一对の電流電圧変換用抵抗器の各々における、電源側とは反対側に設けられ、一对の磁気抵抗効果素子に読出電流を供給するか否かを選択するための一对の第2の半導体スイッチを備え、これらの一对の第2の半導体スイッチ、一对の電流電圧変換用抵抗器、およびセンスアンプ回路が、同一の領域内に集積配置されたものであることがより望ましい。すなわち、センスアンプ回路が形成されている領域内に一对の第2の半導体スイッチ、一对の電流電圧変換用抵抗器が形成されているのである。対となる素子の各々は、近接して配置されることで、駆動中の温度変化がほぼ等しくなり、互いの特性値にずれが生じることが防止される。また、これらの一对の第2の半導体スイッチ、一对の電流電圧変換用抵抗器、およびセンスアンプ回路が、それぞれ、対称な回路を構成していると、適正な差動出力電圧値が得られるようになり、好ましい。なお、ここでいう「対称な」とは、回路を構成する対となる素子の電気的特性が略等しいことを意味している。

【0038】

本発明の磁気メモリデバイスの書込方法は、本発明の第1の磁気メモリデバイスに対して情報を書き込む方法であって、環状磁性層を貫く第1および第2の書込線の双方を通る電流により生ずる磁界によって、一对の磁気抵抗効果素子の各々における感磁層の磁化方向が互いに反平行を向くように変化させることにより記憶セルに情報を書き込むようにしたものである。

【0039】

本発明の磁気メモリデバイスの書込方法では、一对の磁気抵抗効果素子において、感磁層の磁化方向を互いに反平行、つまり向かい合わせか、反対向きに変化させることにより、2値情報が書き込まれる。対となる磁気抵抗効果素子間において感磁層の磁化方向を互いに反平行とするためには、各素子の第1および第2の書込線に通る電流を、素子間で互いに逆向きとする。これにより、電流に誘導される磁界の向きは、各感磁層間で互いに反平行となり、それぞれの感磁層の磁化がこの向きに固定される。

【0040】

本発明の磁気メモリデバイスの読出方法は、本発明の第1の磁気メモリデバイスに書き込まれた情報を読み出すものであり、一对の磁気抵抗効果素子に対して各積層体の積層面に垂直な方向に読出電流を供給し、積層体に流れる電流に基づいて記憶セルの情報を読み出すようにしたものである。

【0041】

本発明の磁気メモリデバイスの読出方法では、対をなす磁気抵抗効果素子の一对の感磁層の相対的な磁化方向に応じて、これらの層面に垂直方向に電流を流した場合の電流値が異なることを利用する。すなわち、磁気抵抗効果素子の積層体部分に流れる読出電流の値に基づいて、情報が読み出される。

【0042】

またさらに、本発明の磁気メモリデバイスの読出方法は、一对の磁気抵抗効果素子の各々に読出電流を供給し、この一对の読出電流値の差分に基づいて記憶セルの情報を読み出すようにすることが好ましい。この場合には、読出電流は差動出力されるため、第1の読出線各々に生じる雑音や磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が除去される。

【0043】

本発明の第2の観点に係る磁気メモリデバイスは、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子とを備え、1つの記憶セルが一对の磁気抵抗効果素子を含むように構成された磁気メモリデバイスであって、記憶セルの一对の磁気抵抗効果素子に対してそれぞれ読出電流を供給するための一对の読出線と、一对の読出線から一对の磁気抵抗効果素子にそれぞれ供給された一对の読出電流の値の差分に基づいて記憶セルから情報を読み出す読出回路と、1つの記憶セルにおける一对の磁気抵抗効果素子を通る読出電流の総和を規定する電流規定機能を有する定電流回路とを備えたものである。

【0044】

この第2の磁気メモリデバイスでは、各記憶セルが一对の磁気抵抗効果素子から構成されており、対をなす磁気抵抗効果素子を通る一对の読出電流の差分に基づいて情報が読み出される。その際に、定電流回路によって一对の磁気抵抗効果素子を通る読出電流の総和が規定されることで、磁気抵抗効果素子相互の抵抗ばらつきに起因する読出電流のばらつきが一定範囲内に収められる。この第2の磁気メモリデバイスでは、環状磁性層を必須の構成要件としておらず、一对の磁気抵抗効果素子は、感磁層を含む積層体の一方の面側に第1の書込線と第2の書込線が位置する構成を有していてもよい。なお、定電流回路は、ダイオードと、電流規定機能に加えて、一

対の磁気抵抗効果素子に読出電流を流すか否かを選択するための半導体スイッチとしても機能するトランジスタと、抵抗器とを組み合わせる構成とすることができる。

【0045】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0046】

図1は、本発明の一実施の形態に係る磁気メモリデバイスの全体の構成を示した図である。この磁気メモリデバイスは、いわゆる半導体メモリチップとして具現化されるMRAMであり、アドレスバッファ101、データバッファ102、制御ロジック部103、記憶セル群104、Y方向駆動回路部106、およびX方向駆動回路部108を主要な構成要素としている。この場合に、磁気メモリデバイスは、シリコンチップ中央の広い領域に記憶セル群104が配設され、周囲のわずかな領域に駆動回路部106、108等の回路部品や配線が実装されたものとなっている。

【0047】

記憶セル群104は、全体としてマトリクスを構成するように、多数の記憶セル12がワード線方向(X方向)、ビット線方向(Y方向)に配列したものである。個々の記憶セル12は、データを記憶する最小単位であり、「1」、「0」のビットデータが記憶されるようになっている。なお、ここでは、記憶セル群104における記憶セル12の各列をワード列X_n、各行をビット列Y_nと呼ぶ。

【0048】

Y方向駆動回路部106は、Y方向アドレスデコーダ106A、読み出しのためのセンスアンプ106B、書き込みのためのY方向カレントドライブ106Cから構成され、各々が記憶セル群104に対し、記憶セル12のビット列Y_n(Y₁, Y₂, ...)ごとに接続されている。

【0049】

X方向駆動回路部108は、X方向アドレスデコーダ108A、読み出しのための定電流回路108B、書き込みのためのX方向カレントドライブ108Cから構成され、各々が記憶セル群104に対し、記憶セル12のワード列X_n(X₁, X₂, ...)ごとに接続されている。したがって、例えば、ある一つの記憶セル12は、図示したように、X方向アドレスデコーダ108A、Y方向アドレスデコーダ106Aから入力されるワード方向およびビット方向のアドレス(X_n, Y_n)によって一意に選択される。

【0050】

アドレスバッファ101は、外部アドレス入力端子A0~A20を備えると共に、アドレス線105、107を介してY方向アドレスデコーダ106A、X方向アドレ

スデコーダ108Aに接続されている。このアドレスバッファ101は、外部アドレス入力端子A0~A20から記憶セル12を選択するための選択信号を取り込み、内部バッファ増幅器においてアドレスデコーダ106A、108Aで必要な電圧レベルまで増幅する機能を有している。また、増幅した選択信号を、記憶セル12のワード列方向(X方向)、ビット列方向(Y方向)の2つの選択信号に分け、アドレスデコーダ106A、108Aのそれぞれに入力するようになっている。なお、磁気メモリデバイスが記憶セル群104を複数有している場合、アドレスバッファ101には、複数の記憶セル群104から1つの記憶セル群104を選択するためのアドレス信号もまた入力されるようになっている。

【0051】

データバッファ102は、外部とディジタルデータ信号のやり取りを行うための外部データ端子D0~D7を備えると共に、制御ロジック部103と制御信号線113により接続されている。データバッファ102は、入力バッファ102Aおよび出力バッファ102Bからなり、それぞれ、制御ロジック部103からの制御信号によって動作するようになっている。入力バッファ102は、書き込み用データバス110、111を介してそれぞれY方向カレントドライブ106C、X方向カレントドライブ108Cに接続されており、メモリ書き込み時に外部データ端子D0~D7からデータ信号を取り込み、このデータ信号を内部バッファ増幅器で必要とされる電圧レベルまで増幅し、カレントドライブ106C、108Cそれぞれに出力する機能を有している。出力バッファ102Bは、読み出し用データバス112を介してセンスアンプ106Bに接続されており、内部バッファ増幅器を用いることにより、メモリ読み出し時にセンスアンプ106Bより入力される読み出しデータ信号を、低インピーダンスで外部データ端子D0~D7に出力する機能を有している。

【0052】

制御ロジック部103は、入力端子CS、入力端子WEを備え、データバッファ102に制御信号線113で接続されている。制御ロジック部103は、記憶セル群104に対する動作制御を行うものであり、入力端子CSからは、磁気メモリデバイスの書き込み/読み出し動作をアクティブにするか否かの信号(チップセレクト; CS)が入力される。また、入力端子WEからは、書き込み/読み出しを切り替えるための書き込み許可信号(ライトイネーブル; WE)が入力される。この制御ロジック部103は、入力端子CS、入力端子WEより取り込んだ信号電圧を、内部バッファ増幅器により駆動回路部106、108にて必要な電圧レベルまで増幅する機能を有している。

【0053】

【読み出し回路の構成】

次に、この磁気メモリデバイスの読み出し回路の構成について説明する。

【0054】

図2は、記憶セル群とその読み出し回路からなる回路系の構成図である。この読み出し回路系は、記憶セル12が1対の磁気記憶素子12A、12Bからなる差動増幅型である。ここでは、各記憶セル12の情報読み出しを、磁気記憶素子12A、12Bそれぞれに流すセンシング電流（センスビット線21A、21Bから磁気記憶素子12A、12Bそれぞれに流入し、共通のセンスワード線31に流出する電流）の差分値を出力として行うようになっている。

【0055】

同図において、記憶セル群104のビット列 Y_n ごとの記憶セル12と、センスアンプ106Bを含む読み出し回路の一部とが、読み出し回路の繰り返し単位であるビット方向単位読出回路80（…、80n、80n+1、…）を構成しており、ビット列方向に並列に配置されている。ビット方向単位読出回路80（…、80n、80n+1、…）の各々は、Y方向アドレスデコーダ106Aにビットデコード線20（…、20n、20n+1、…）を介して接続され、出力バッファ102Bに読み出し用データバス112を介して接続されている。なお、同図にはスペースが足りず、ビット方向単位読出回路80の全体を描くことができないため、2列で代表させて描いている。記憶セル群104についても同様で、ビット列 Y_n 、 Y_{n+1} の2列で代表させている。

【0056】

各記憶セル12の磁気記憶素子12A、12Bは、GMRないしTMRを利用した磁気抵抗効果素子である。ここでは、一具体例として磁気記憶素子12A、12BがTMR素子である場合について説明するが、その詳細な構成については後述する。

【0057】

記憶セル群104には、X方向に配列されるセンス用ワードデコード線31（以後、センスワード線と略称）と、Y方向に配列される1対のセンス用ビットデコード線21A、21B（以後、センスビット線と略称）とによりマトリクス状の配線がなされている。個々の記憶セル12は、これらの交差位置に配設され、共通のセンスビット線21A、21Bに並列接続されている記憶セル12がビット列 Y_n を構成し、共通のセンスワード線31にカスケード状に接続されている記憶セル12がワード列 X_n を構成している。

【0058】

1つの記憶セル12では、1対の磁気記憶素子12A、磁気記憶素子12Bそれぞれの一端がセンスビット線21A、21Bに接続され、またそれぞれの他端は、1対の逆流防止用ダイオード13A、13Bのそれぞれを介して共通のセンスワード線31に接続される。ここで、

個々の磁気記憶素子12A、12Bに対するセンシング電流の電流経路は、各素子からの導線とセンスビット線21A、21Bとの結節点から、各素子からの導線とセンスワード線31との結節点までの間の経路とする。なお、ここでは、センスビット線21A、21Bが本発明の「1対の第1の読出線」に対応し、センスワード線31が本発明の「第2の読出線」に対応している。

【0059】

（ビット列方向の接続）

センスビット線21A、21Bは、記憶セル12のビット列 Y_n （ Y_1 、 Y_2 、…）ごとに、対をなして配設されている。これらのセンスビット線21A、21Bは、記憶セル群104を貫くようにY方向に延在し、一端が電源 V_{cc} に接続されている。センスビット線21A、21Bの一端側（電源 V_{cc} 側）には、それぞれ、電圧変換用抵抗器23A、23B（以後、抵抗器23A、23B）、およびトランジスタ22A、22Bのコレクターエミッタ間が直列に接続されている。さらに、ビット列 Y_n を構成する複数の記憶セル12は、それぞれセンスビット線21Aとセンスビット線21Bの双方に接続されている。具体的には、記憶セル12における磁気記憶素子12Aの一端がセンスビット線21Aに接続され、磁気記憶素子12Bの一端がセンスビット線21Bに接続されている。

【0060】

さらに、トランジスタ22A、22Bのベース側には、ビットデコード線20が接続されている。ビットデコード線20は、Y方向アドレスデコーダ106Aに接続されており、Y方向アドレスデコーダ106Aより、書き込み／読み出しの対象となる記憶セル12が属するビット列 Y_n に対して選択的に出力される選択信号が入力されるようになっている。すなわち、ビットデコード線20（…、20n、20n+1、…）は、記憶セル12の各ビット列 Y_n に対応して設けられており、Y方向アドレスデコーダ106Aからの選択信号を動作対象であるビット列 Y_n に送出する機能を有している。トランジスタ22A、22Bは、一対の第2の半導体スイッチとして、ビットデコード線20から入力される選択信号の値（ビットデコード値）に応じて開閉する機能を備えている。

【0061】

なお、ビットデコード線20とセンスビット線21A、21Bは、このように同じデコード機能を有しているが、両者は動作上、明確に区別される。すなわち、ビットデコード線20はY方向アドレスデコーダ106Aより選択セルを伝える信号線であり、その値は“High”，“Low”の2値のデジタル信号であるのに対し、センスビット線21A、21Bは磁気記憶素子12A、12Bに流れ込む微弱電流の検出を目的とするアナログ信号線である。なお、ワードデコード線30とセン

スワード線31についてもこれと同じことが言える。

【0062】

また、センスビット線21A、21Bに接続された抵抗器23A、23Bの電源Vccとは反対側の端部における結節点からは、センスアンプ入力線40A、40B

(以後、入力線40A、40B)が導出されている。抵抗器23A、23Bは、センスアンプ106Bのバイアス抵抗として機能する。すなわち、自身の電圧降下によって、電源Vccからセンスビット線23A、23Bを流れ下るセンシング電流を電圧に変換し、入力線40A、40Bよりセンスアンプ106Bに導くために設置される。また、抵抗器23A、23Bは、電源Vccの供給電圧よりも ϕ だけ低い中間電圧レベルを作り出す機能も兼ね備えている。ここでは、センシング電流が微弱なために、抵抗器23A、23Bで大きな電圧降下を得て、入力線40A、40Bに入力する電圧値をできるだけ大きくするには、抵抗器23A、23Bの抵抗値を大きくする必要がある。よって、抵抗器23A、23Bは、例えば100k Ω 程度の高い抵抗値を有することが望ましく、少なくとも、磁気記憶素子12A、12Bの抵抗値よりも大きい抵抗値を有することが望ましい。

【0063】

(ワード列方向の接続)

センスワード線31の各々には、同じワード列Xn(X1, X2, ...)に配列された記憶セル12が接続されている。ただし、本実施の形態では、記憶セル12とセンスワード線31との間に、整流素子としての逆流防止用ダイオード13A、13Bが配設されている。逆流防止用ダイオード13A、13Bの各々は、磁気記憶素子12A、12Bに対応し、それぞれ個別に接続されている。また、磁気記憶素子12Aと逆流防止用ダイオード13A、および、磁気記憶素子12Bと逆流防止用ダイオード13Bは、互いに絶縁された状態にある。

【0064】

逆流防止用ダイオード13は、センスワード線31から各磁気記憶素子12A、12Bに電流が逆流することを防止するための一方向素子として設けられている。逆流防止用ダイオード13としては、例えば、pn接合ダイオード、ショットキーダイオード、あるいはバイポーラ・ジャンクション・トランジスタ(BJT: Bipolar Junction Transistor)のベース-コレクタ間を短絡してダイオードとしたものや、MOSFETのゲート-ドレイン間を短絡してダイオードとしたものなどを用いることができる。

【0065】

また、センスワード線31の接地側には、トランジスタ33のコレクター-エミッタ間が接続され、このトランジスタ33のベース側には、ワード列Xnに対応してワードデコード線30(..., 30n, 30n+1, ...)が配設されている。ワードデコード線30は、X方向アドレ

スデコーダ108Aに接続されており、X方向アドレスデコーダ108Aよりワード列Xnを選択する選択信号が入力されると共に、選択信号をトランジスタ33のベース側に送出する機能を有している。

【0066】

トランジスタ33は、ベース入力される選択信号の値(ビットデコード値)に応じて開閉する第1の半導体スイッチとして機能し、センスワード線31の導通/遮断を制御するようになっている。このトランジスタ33には、例えば、BJTまたはMOSFETを用いることができる。なお、トランジスタ33のエミッタ側には電流制限抵抗器34が設けられている。

【0067】

本実施の形態では、センスワード線31の接地側に、さらに定電流回路108Bが配設されている。定電流回路108Bは、センスワード線31を流れる電流を一定とする機能を有しており、定電圧発生用のダイオード32、トランジスタ33および電流制限抵抗器34から構成されている。よって、トランジスタ33は、ワードデコード用半導体スイッチとしての機能に加え、コレクター-エミッタ間に一定の電流を流す機能を備えたものとなっており、そのベース側はダイオード32のアノードにも接続されている。ダイオード32は、この場合、2個のダイオードが直列に接続したものである。

【0068】

(センスアンプの回路構成)

センスアンプ106Bは、ビット方向単位読出回路80につき1つ設けられ、各ビット方向単位読出回路80において1対のセンスビット線21A、21Bの間の電位差を取り込み、この電位差を増幅する機能を有する。各ビット方向単位読出回路80のセンスアンプ106Bは、それぞれ入力線40A、40Bにより対応するセンスビット線21A、21Bに接続されると共に、すべては共通のセンスアンプ出力線51A、51B(以後、出力線51A、51B)に接続され、最後には読み出し用データバス112により出力バッファ102Bに接続されている。

【0069】

センスアンプ106Bそれ自体は、いわゆる差動増幅器として構成され、トランジスタ41A、41Bからなる増幅段と、電圧出力を取り出すためのバイアス抵抗である抵抗器42A、42Bと、電圧降下用のダイオード43、電流制御機能および選択スイッチ機能を有するトランジスタ44、電圧降下用の抵抗器45を備えている。

【0070】

図3は、読み出し回路全体からセンスアンプ106Bの部分を抽出して示したものである。このように、各ビット方向単位読出回路80に設けられたセンスアンプ106Bは、出力線51A、51Bに対しカスケード接続されている。なお、抵抗器42A、42Bは、カスケード

接続されるすべてのセンスアンプ106Bが共有するバイアス抵抗器となっている。

【0071】

トランジスタ41A、41Bは、ベース側に入力線40A、40Bが接続され、コレクタ側に（出力線51A、51Bを介して）抵抗器42A、42Bが接続されている。これらのエミッタ側は、共にトランジスタ44のコレクタ側に接続されている。なお、トランジスタ44のベース側には、ダイオード43を介してビットデコード線20が接続され、エミッタ側は抵抗器45を介して接

【0072】

なお、ダイオード43は、そのバンドギャップリファレンスを利用して、ビットデコード線20の電圧レベルから ϕ だけ落とした中間電圧レベルを作り出し、この電圧値をトランジスタ44のベース側入力電圧とするために用いられている。トランジスタ44は、電流制限機能と、ビットデコード線20からのビットデコード値に応じて開閉する半導体スイッチとしての機能とを併せ持つ。

【0073】

また、各センスアンプ106Bのトランジスタ41A、41Bは、それぞれのコレクタ側が出力線51A、51Bに接続され、出力線51A、51B、さらに読み出し用データバス112を介して出力バッファ102Bに接続されている。

【0074】

次に、図4～図6を参照し、本実施の形態における磁気メモリデバイスの回路配置パターンについて説明する。

【0075】

図4は、記憶セル群のY方向駆動回路部の周辺の実装の様子を表し、図5は、Y方向駆動回路部実際の回路配置を表している。Y方向駆動回路部106は、記憶セル群104の一辺に形成され、その上部には、ボンディングパッド121が設けられている。このY方向駆動回路部106では、以上にみてきたように、Y方向アドレスデコーダ106A、センスアンプ106BおよびY方向カレントドライブ106Cのそれぞれが各ビット列Y_n（Y₁、Y₂、…）に対応する回路を1構成単位として成り立っている。本実施の形態では、これら回路106A～106Cの1構成単位を、対応するビット列Y_n（Y₁、Y₂、…）ごとにまとめたものを単位駆動回路DUn（DU₁、DU₂、…）とすると共に、この単位駆動回路DUnを、その幅が記憶セル12の幅Wに収まるように形成することで、対応するビット列Y_nの端部にちょうど配置されるようにしている。

【0076】

図5には、ひとつの単位駆動回路が示されている。Y方向アドレスデコーダ106Aの回路エリアは、電源ライン122（V_{cc}）と、中間電位の電源ライン123（V_m）、グラウンドライン124（GND）との間に形成される。中間電位の電源ライン123は、バンドギャップ+2 ϕ に対応した電圧を電流制限用トランジスタや、X方向では定電流回路108Bなどに供給する電圧源である。また、この回路エリア内をアドレス線105が横断するように延在しており、これに各単位駆動回路DUnのアドレスデコーダ106Aが接続するようになっている。

【0077】

センスアンプ106Bの回路エリアは、電源ライン125と、中間電位の電源ライン123、グラウンドライン124との間に形成される。このエリア内には、出力線51A、51Bが横断するように延在しており、これに各単位駆動回路DUnのセンスアンプ106Bがカスケード接続されるように配線がなされている。Y方向カレントドライブ106Cの回路エリアは、電源ライン125と、中間電位の電源ライン126、グラウンドライン127との間に形成されている。

【0078】

図6は、単位駆動回路のうち、さらにセンスアンプのみの回路パターン配置を具体的に示している。先に図2において説明したように、センスアンプ106Bは、各ビット列Y_n（Y₁、Y₂、…）にそれぞれ対応付けられているだけでなく、センスビット線21A、21Bの電源V_{cc}側に接続されている。そこで、ここでは、センスアンプ106Bの回路エリアに、トランジスタ22A、22B、抵抗器23A、23Bを、センスアンプ106Bと共に集積配置するようにしている。

【0079】

この回路パターン配置図と図2、図3の回路図とを対照すると、センスアンプ106Bにおける1対のトランジスタ41A、41Bの内側にトランジスタ22A、22B、抵抗器23A、23Bがちょうど対をなして配置されていることがわかる。ここで、ビアパッド128A、128Bは、それぞれセンスビット線21A、21Bへ接続される。また、図6には示されていないが、ビットデコード線20は、グラウンドライン124を通過してY方向アドレスデコーダ106Aに接続されている。なお、こうした理解を助けるため、図6では、意図的に電源ライン125を上グラウンドライン124を下にして、図5ではなく図2、図3と対応するようにしている。

【0080】

ところで、トランジスタ22A、22Bの対と、抵抗器23A、23Bの対、およびセンスアンプ106Bはすべて差動対であり、対をなす相手と特性が揃っていることが動作上重要である。よって、予め特性を揃えること

は勿論であるが、それでも各回路素子の設置場所の温度条件が異なる場合などに、出力特性が異なってくることがある。これに対し、本実施の形態では、上記対をなす回路素子を近接して配置しているので、共に同じ温度変化を受けるために互いの特性は同様に変化し、差がほとんど生じない。これにより、温度変化によって生じる出力値の変化を低減させることができる。

【0081】

(磁気メモリ素子の構成)

次に、本実施の形態において用いる磁気記憶素子12 A、12 B、および記憶セル12の構成について説明する。

【0082】

図7は、記憶セルの構成を示す断面図である。このように、記憶セル12は、基板10の上に左右1対の磁気記憶素子12 A、12 Bが搭載されてなる。これら磁気記憶素子12 A、12 Bは、共に、第1の磁性層1、非磁性層2、第2の磁性層3が積層した積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に書込用ビット線6 a、書込用ワード線6 b (第1、第2の書込線)によって貫かれるように構成された環状磁性層5とを含んで構成されている。第2の磁性層3と環状磁性層5は、非磁性導電層4を介して接合され、電気的に接続されている。

【0083】

また、磁気記憶素子12 A、12 Bそれぞれには、積層体の上面 (環状磁性層5とは反対側の面)に読出センシング用導線11が設けられ、基板10に向かって、積層体に対しては積層面に垂直に電流を流すことができるように構成されている。

【0084】

第1の磁性層1は、磁化方向の固定された強磁性層であり、第2の磁性層3は、外部磁界によって磁化方向が変化する強磁性層 (感磁層) である。これらは、数 nm (数 10 \AA) と非常に薄い非磁性層2を挟んで積層されている。この積層体において、第1の磁性層1と第2の磁性層3との間に、積層面に垂直方向の電圧を印加すると、例えば第2の磁性層3の電子が非磁性層2を突き抜けて第1の磁性層1に移動してトンネル電流が流れる。すなわち、ここでの非磁性層2は、トンネルバリア層である。このトンネル電流は、非磁性層2との界面部分における第1の磁性層1のスピンと第2の磁性層3のスピンとの相対的な角度によって変化する。すなわち、第1の磁性層1のスピンと第2の磁性層3のスピンとが互いに平行な場合に磁気記憶素子12 A (12 B) の抵抗値は最小、反平行のときに最大となる。

【0085】

第2の磁性層3は、書込用ビット線6 a、書込用ワード線6 bによる誘導磁界によって磁化が変化するようになっている。ここで、第2の磁性層3の磁化は、誘導磁界

によって反転し、これにより第1の磁性層1の磁化との相対角度が反転するようになっている。また、書き込み対象の記憶セル12の選択は、いわゆるマトリクス駆動法によって行うため、書込用ビット線6 a、書込用ワード線6 bのいずれか一方だけではなく、これらの双方に対し電流が同方向に流れるときのみ磁化反転が可能であるように、第2の磁性層3の磁気特性や寸法などが設定される。これがTMR素子としての磁気記憶素子12 A (12 B) の基本構造である。

【0086】

ここでは、環状磁性層5は、図7において紙面に垂直方向の軸をもつ筒型の形状を有し、書込用ビット線6 a、書込用ワード線6 bの互いに平行となった部分を内包している。すなわち、この環状磁性層5の軸方向は、書込用ビット線6 a、書込用ワード線6 bの延在方向であり、軸方向を横切る断面方向において閉じた環状となっている。また、環状磁性層5は、高透磁率磁性材料から構成され、内包する書込用ビット線6 a、書込用ワード線6 bの電流によって生じる磁束を層内部に閉じ込めることにより、第2の磁性層3の磁化方向を効率よく変化させる機能を有する。この環状磁性層5は、図示したように断面が閉ループとなっており、発生した誘導磁界が、断面と平行な面に沿って層内を還流するようになっている。これにより、環状磁性層5は、外部に漏洩磁束を生じさせない電磁遮蔽効果を有している。また、ここでは、第2の磁性層3に一面で接するように構成されているために、磁界を第2の磁性層3に伝えやすく、高い磁束密度でもって近接する第2の磁性層3の磁化方向を一層効率よく変えることができるようになっている。

【0087】

また、図8は、書込用ビット線6 a、書込用ワード線6 bの配線構造を示したものである。このように、本実施の形態の磁気メモリデバイスは、複数の書込用ビット線6 aと、この書込用ビット線6 aとそれぞれ交差するように延びる複数の書込用ワード線6 bとを備えている。これらは交差するように延びているが、その交差領域では部分的に平行となって延在しており、この平行部分に磁気記憶素子12 A、12 Bが形成されている。なお、ここでいう平行とは、製造上の誤差範囲 $\pm 10^\circ$ を含んでいる。ここでは、平行となった書込用ビット線6 a、書込用ワード線6 bの合成磁界を用いて第2の磁性層3の磁化を反転させるが、この誘導磁界の大きさは、各配線が交差するときの合成磁界よりも大きい。よって、書き込み動作を効率よく行うことができる。

【0088】

なお、磁気記憶素子12 A (12 B) の各々には、読出センシング用導線11から積層体に流れ込み、環状磁性層5から基板10へと通り抜けるように電流が流れる。よって、トンネル電流を流す非磁性層2を除いた積層体の各層、および非磁性導電層4、環状磁性層5には、す

べて導電性を有する材料が用いられる。第1の磁性層1、第2の磁性層3には、例えば、コバルト鉄合金(CoFe)が用いられ、その他単体のコバルト(Co)、コバルト白金合金(CoPt)、ニッケル鉄コバルト合金(NiFeCo)などを用いることができる。また、第1の磁性層1と第2の磁性層3は、磁化方向が互いに平行または反平行となる状態で安定化するため、互いの磁化容易軸を平行とすることが望ましい。

【0089】

非磁性層2は、トンネル抵抗等を基にその厚みが決められる。一般に、TMR素子を用いた磁気メモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗は数 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速化を図るためには、トンネル抵抗は、 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが好ましい。そうしたトンネル抵抗値を実現するためには、非磁性層(トンネルバリア層)2の厚みは 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。ただし、非磁性層2の厚みをあまり薄くすると、トンネル抵抗を低減することができる一方で、第1の磁性層1および第2の磁性層3との接合界面の凹凸に起因するリーク電流が生じ、MR比が低下してしまうおそれがある。これを防止するため、非磁性層2の厚みは、リーク電流が流れない程度の厚みを有する必要がある、具体的には 0.3 nm 以上の厚みであることが望ましい。

【0090】

非磁性導電層4は、第2の磁性層3と環状磁性層5とを反強磁性結合させるように機能するものであり、例えば、ルテチウム(Ru)、銅(Cu)などが用いられる。環状磁性層5には、鉄(Fe)、ニッケル鉄合金(NiFe)、Co、CoFe、NiFeCo等を用いることができる。また、書込用ビット線6a、書込用ワード線6bによる磁界を環状磁性層5に集中させるために、環状磁性層5の透磁率はできるだけ大きいほうが好ましく、具体的には2000以上、より好ましくは6000以上である。

【0091】

書込用ビット線6aおよび書込用ワード線6bは、いずれも、チタン(Ti)、窒化チタン(TiN)、アルミニウム(Al)が順に積層された構造を有し、絶縁膜によって、互いに電気的に絶縁されている。書込用ビット線6aおよび書込ワード線6bは、例えば、アルミニウム(Al)、銅(Cu)およびタングステン(W)のうちの少なくとも1種からなるようにしてもよい。

【0092】

なお、磁気記憶素子12A(12B)は、ここではTMR素子としているが、やはり磁性層の積層面に垂直に電流を流す構造のCPP(Current Perpen

dicular to the Plane) - GMR素子であってもよい。その場合の素子構造は、非磁性層2を、絶縁層から非磁性金属層に替えることを除いては、上記の磁気メモリ素子12A(12B)と同様とすることができる。

【0093】

磁気記憶素子12A、12Bが形成される基板10の上には、エピタキシャル層9が形成され、さらにその上に導電層8および絶縁層7が形成されている。導電層8は、絶縁層7を介して互いに絶縁された導電層8A、8Bからなる。磁気記憶素子12A、12Bは、導電層8および絶縁層7の上面に形成されるが、それぞれ、その形成領域の少なくとも一部が導電層8A、8Bの形成領域と重なるように位置決めされる。よって、磁気記憶素子12Aと磁気記憶素子12Bとは、分離絶縁されている導電層8A、8Bにそれぞれ個別に接合され、互いに電気的に絶縁されている。すなわち、ここでは、磁気記憶素子12Aと磁気記憶素子12Bが、電気的に非導通であるように配線がなされている。

【0094】

また、ここでは、基板10をn型シリコンウエハとする。一般に、n型シリコンウエハにはP(磷)の不純物拡散が施されており、基板10としては、P(磷)の高濃度拡散により n^{++} 型となっているものを用いる。これに対し、エピタキシャル層9は、P(磷)が低濃度拡散されて n^{-} 型となるようにする。また、導電層8には金属を用いる。このとき、 n^{-} 型半導体であるエピタキシャル層9と、金属の導電層8とを接触させると、バンドギャップが生じてショットキーダイオードが形成される。これが、本実施の形態におけるダイオード13A、13Bである。

【0095】

ダイオード13A、13Bをこのようにショットキーダイオードとして形成することには、エピタキシャル層付きのシリコンウエハが入手しやすく低価格であること、形成工程が簡易であること等の利点がある。しかし、ショットキーダイオードは、PN接合ダイオードに比べてリーク電流が数100倍以上も大きく、加えて温度上昇に伴うリーク電流の増加も大きい。この磁気メモリデバイスをMRAM半導体メモリチップとし、記憶セル12ごとにショットキーダイオードを数1000個も並列に接続した場合、リーク電流がかなり増大してしまうために読み出し出力のS/N比を下げる原因となることが考えられる。ここでは、ダイオード13として、コスト面、製造面で有利なショットキーダイオードを採用したが、リーク電流が無視できない場合などには、ダイオード13をPN接合ダイオード、ベース・コレクタ間を短絡したBJT、あるいはゲート・ドレイン間を短絡したMOSFETで形成することも可能である。

【0096】

図9は、記憶セルを回路図で表したものである。このように、1対の磁気記憶素子12A、12Bは、第1の磁性層1および第2の磁性層3の磁化の相対角度に応じて流れる電流の値が変化することから、可変抵抗とみなされる。すなわち、磁気記憶素子12A(12B)は、流すことのできるトンネル電流の電流密度が高い低抵抗の状態と、電流密度が小さい高抵抗の状態とをとる。

【0097】

なお、後の動作説明において詳述するが、本実施の形態においては、磁気記憶素子12A、12Bの一方を低抵抗、他方を高抵抗として情報の記憶を行う。これは、2つの磁気記憶素子12A、12Bからの出力を差動増幅して読み出すためにほかならない。よって、対をなす2つの磁気記憶素子12A、12Bは、抵抗値、磁気抵抗変化率、および第2の磁性層3の反転磁界の大きさが等しくなるように製造される必要がある。

【0098】

〔記憶セルに対する書き込み動作〕

次に、この記憶セル12における情報記憶方式と書き込み動作方法について説明する。

【0099】

図10は、図9と同様に記憶セルを表したものであり、磁気記憶素子12A、12Bそれぞれの第1の磁性層1、第2の磁性層3の磁化を表している。同図において、白色矢印は第1の磁性層1の磁化を表しており、磁気記憶素子12A、12B共に右方向に磁化が固定されている。一方、黒色矢印は第2の磁性層3の磁化を表し、磁気記憶素子12A、12Bでは互いに反平行となる向きに磁化されている。このように、記憶セル12では、1対の磁気記憶素子12A、12Bの第2の磁性層3の磁化方向が互いに反平行となる状態で情報が記憶される。

【0100】

このとき、1対の磁気記憶素子12A、12Bにおいては、それぞれの第1の磁性層1と第2の磁性層3の磁化方向の組み合わせは、必ず(平行、反平行)の第1の状態か、(反平行、平行)の第2の状態となる。よって、この2つの状態に2値情報「0」、「1」を対応させることで、1つの記憶セル12に1ビットの情報を記憶させる。なお、磁気記憶素子12A(12B)においては、第1の磁性層1と第2の磁性層3の磁化方向が平行であれば大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす磁気記憶素子12Aおよび磁気記憶素子12Bは、必ず一方が低抵抗で、他方が高抵抗となって情報を記憶する。

【0101】

このように、対となる磁気記憶素子12A、12Bにおいて第2の磁性層3の磁化方向を互いに反平行とするため、図11に示したように、磁気記憶素子12A、12

Bそれぞれの書込用ビット線6a、書込用ワード線6bに対し、相対的に逆向きとなるように電流を流す(図8参照)。図11には、記憶セル12に対し、図10に示した「1」ビットを書き込む場合の書き込み電流の向きが示されている。

【0102】

これにより、磁気記憶素子12A、12Bそれぞれの環状磁性層5には、互いに逆向きに還流する磁界が誘導され、それぞれの第2の磁性層3との対向面における磁化(つまり誘導磁界の向き)は、互いに反平行となる。磁気記憶素子12A、12Bそれぞれの第2の磁性層3の磁化は、この外部から与えられる磁界の向きに従って反平行となり、その磁化状態が、環状磁性層5との反強磁性結合により固定される。なお、「0」ビットを書き込むには、磁気記憶素子12A、12Bそれぞれに流す電流の向きを、図示の向きとは反対に切り替えるようにする。

【0103】

このとき、誘導磁界は環状磁性層5の内部に閉じ込められることから、第2の磁性層の磁化反転に寄与する実効的な磁界強度は、従来に比して大きくなる。その結果、第2の磁性層3を必要十分な磁界強度で磁化反転させることができ、効率よい書き込み動作を行うことができる。換言すると、この書き込みにおいては、第2の磁性層3の磁化は、所定方向に対し十分な大きさとなるように揃えられる。よって、この第2の磁性層3の磁化方向が外部擾乱磁界により乱されるおそれを低減させ、一旦書き込まれた情報が予期せず消されたり、書き換えられたりすることが防止できる。すなわち、情報を確実に書き込むことができる。

【0104】

この磁気メモリデバイスでは、まず、アドレスバッファ101が外部データ端子A0~A20の信号電圧を取り込んで内部バッファで増幅し、アドレス線105、107を通じてY方向、X方向のアドレスデコーダ106A、108Aに伝達する。それと同時に、データバッファ102が外部データ端子D0~D7の信号電圧を取り込んで内部バッファで増幅し、書き込み用データバス110、111を通じてY方向、X方向のカレントドライブ106C、108Cに伝達する(図1)。

【0105】

アドレスデコーダ106A、108Aは、選択信号により、これに対応するデコード値をもつ書込用ビット線6a、書込用ワード線6bを選択する。また、書込用ビット線6a、書込用ワード線6bに流す電流の向きは、カレントドライブ106C、108Cにより決定される。これにより、書込用ビット線6a、書込用ワード線6bの双方に電流が流れる記憶セル12が一意に選択され、そこに所定のビットデータが書き込まれる。例えば、図8では、書込用ビット線6a、書込用ワード線6bの電

流の向きが矢印で示され、記憶セル12が選択されている様子が表されている。

【0106】

〔読み出し動作〕

磁気メモリデバイスは、各記憶セル12に書き込まれた情報を以下のようにして読み出す。

【0107】

〔基本動作〕

図12は、記憶セルの基本構成を示している。まず、同図を参照して、読み出し動作の基本的な部分を説明する。各記憶セル12は、磁気記憶素子12A、12Bが図示のような磁化方向となって情報が記憶された状態となっている。このうち、情報を読み出す記憶セル12は、そのアドレスに対応して、Y方向はビットデコード線20、X方向はワードデコード線30に選択信号が入力されることで選択される。例えば、選択する記憶セル12が、Y_n列、X_{n+1}行にある場合、Y_n番目のビットデコード線20_nとX_{n+1}番目のワードデコード線30_{n+1}に信号が入力される。

【0108】

Y_n番目のビットデコード線20_nにおける電圧レベルを“High”とすると、トランジスタ22A、22Bが通電状態となり、記憶セル12のY_n番目の列方向ブロック（ビット列Y_n）にセンシング電流が流れる。センシング電流は、センスビット線21A、21Bを電源V_{cc}側からその反対側に向かって流れ下る。

【0109】

一方、X_{n+1}番目のワードデコード線30_{n+1}における電圧レベルを“High”とすると、トランジスタ33が通電状態となり、記憶セル12のX_{n+1}番目の行方向ブロック（ワード列X_{n+1}）に電流が流れることが許される。よって、センシング電流は、Y_n番目のセンスビット線21A、21Bのから、それぞれ磁気記憶素子12Aとダイオード13A、磁気記憶素子12Bとダイオード13Bを通り、共にX_{n+1}番目のセンスワード線31へと流れ込み、さらに、定電流回路108Bを構成するトランジスタ33のコレクターエミッタ間を通り、抵抗器34から接地へと抜ける。このように、Y_n列、X_{n+1}行目の記憶セル12は、Y_n列、X_{n+1}行目の磁気記憶素子12A、12Bにセンシング電流を流すことにより選択される。

【0110】

情報の読み出しは、記憶セル12の磁気記憶素子12A、12Bのそれぞれに流れる電流値の差分を検出することによって行われる。これらに流れる電流は、センスビット線21A、21Bを流れるセンシング電流にほぼ等しい。また、センスビット線21A（21B）に対して直列に接続された抵抗器23A（23B）には、センシング電流による電圧降下が起きる。その電圧降下V_aは、センシング電流の大きさをI_{sense}、抵抗器2

3A（23B）の抵抗値をR_aとすれば、次式で決定される。

$$V_a (\text{Volt}) = I_{\text{sense}} (A) \times R_a (\Omega) \quad \dots (1)$$

式(1)より、抵抗器23Aと抵抗器23Bの値が良く揃っていれば、センシング電流I_{sense}を電圧降下V_aによって電圧に変換して検出されることがわかる。そこで、ここでは読み出し出力信号として、抵抗器23Aと抵抗器23Bの電圧降下をそれぞれ入力線40A、40Bから取り出し、その差分を検出するようにしている。このように、2つの磁気記憶素子12A、12Bを用い、それぞれの出力値の差分を取り出すことで、記憶セル12としては、雑音が除去された大きな出力値が得られる。

【0111】

〔定電流回路108Bの作用〕

以上の読み出し動作において、選択された記憶セル12に流れるセンシング電流の大きさは、センスワード線31の接地側に設けられた電流制限抵抗器34により調整される。電流制限抵抗器34は、これ単独で電流量を制限する効果があるが、ここではさらに、電流制限抵抗器34とトランジスタ33、ダイオード32を組み合わせ構成された定電流回路108Bが、電流量を一定範囲内に収めるように動作する。

【0112】

ワードデコード線30の電圧レベルが“High”であれば、2個直列に接続されているダイオード32は、ダイオードのバンドギャップリファレンスにより、接地から+2φだけ高い中間電圧レベルを固定的に作り出す。よって、トランジスタ34のベース端子には、中間電圧レベルが印加され、トランジスタ34は通電状態となる。このとき、センスワード線31から流入するセンシング電流の大きさI_{sense}は、電流制限抵抗器34の抵抗値をR_cとすれば、次式で求まる。

$$I_{\text{sense}} (A) = (2\phi' - \phi'') (\text{Volt}) / R_c (\Omega) \quad \dots (2)$$

2φ'は2個の直列になったダイオード32の順方向電圧、φ''はトランジスタ33のベースエミッタ間の順方向電圧である。これらは半導体素子固有の値であるから、式(2)は、抵抗値R_cが決まればセンシング電流I_{sense}は一定値をとること、抵抗値R_cをパラメータとしてセンシング電流I_{sense}は一意に決められることを示している。

【0113】

すなわち、この定電流回路108Bのおかげで、センスワード線31において微弱なセンシング電流I_{sense}が一定の範囲内の値で安定して流れる。なお、式(2)のセンシング電流I_{sense}は、センスワード線31に流れる電流であり、センスビット線21Aおよびセンスビット線21B、もしくは磁気記憶素子12A

および磁気記憶素子12Bの双方を流れる電流の総和のことである。

【0114】

一例として、電流制限抵抗器34を50kΩとし、ダイオード32、トランジスタ33にシリコンダイオードおよびシリコントランジスタを使用した場合、定電流回路108Bによるセンシング電流I_{sense}は、ほぼ15μAになる。この場合、製造上の原因により、対をなす磁気記憶素子12A、12Bそれぞれが駆動動作上取り得る抵抗値の範囲が異なっていたとしても、両者を流れる電流の総和は、常にほぼ15μAに等しくなる。なお、製造上の原因による磁気記憶素子12A(12B)の抵抗値のばらつきとは、非磁性層2が、数nm(数10Å)という数原子単位の厚みしか持たないために、厚みと原子配列のわずかな乱れで抵抗値が変わることを意味している。それゆえ、非磁性層2を均一な厚みで成膜することには細心の注意が払われるが、現実には磁気記憶素子12A(12B)の抵抗値において15~50%程度、製造設備等の条件が悪いときにはそれ以上のばらつきが生じてしまう。

【0115】

磁気記憶素子12A、12Bの抵抗値のばらつきには、要因ごとに2つの場合が考えられる。①1つ目は、記憶セル12同士の間で、非磁性層2の厚みのばらつき等により、磁気記憶素子12A、12Bの低抵抗時および高抵抗時の抵抗値が異なる場合である。総じて非磁性層2の厚みが増せば、1対の磁気記憶素子12A、12Bの抵抗は低抵抗時、高抵抗時とも大きな値をとるようになる。②2つ目は、各記憶セル12で対をなしている磁気記憶素子12A、12Bの間で、接合界面の凹凸や非磁性層2の厚みの違い、その他の原因により、大きなトンネル電流が流れるときの抵抗値と小さなトンネル電流しか流れないときの抵抗値との比率、すなわちMR比がばらつく場合である。

【0116】

ここで、①記憶セル12の間で、磁気記憶素子12A、12Bの抵抗値がばらついていたとする。センスビット線21A、21Bを流れる各電流値は、それぞれ1対の磁気記憶素子12A、12Bの抵抗値に応じた値ではあるものの、その総和は常に一定値をとるように制御されている。言い換えると、センスビット線21A、21Bを流れる各電流値は、ある規格化された電流量を抵抗値に応じて分配したものである。そのため、抵抗値のばらつき度合いに比べて、各電流値のぶれは少なくなる。殊に、記憶セル12の間における抵抗のばらつきが各々のMR比を変えないような場合には、1対の磁気記憶素子12A、12Bの抵抗比が等しいことから、記憶セル12ごとの抵抗値の大小には関係なく(かなり大きく異なっていたとしても)、センスビット線21A、21Bの各電流値はほぼ等しくなる。こうして、センスビット線

21A、21Bの電流値の差は、常に一定の範囲内に収められる。そのため、電流電圧変換用抵抗器23A、23Bの電圧降下の差も一定の範囲内に収められ、安定した差動出力を得ることが可能となり、読み出し信号のS/N比を向上させることができる。

【0117】

一方、上記の説明からもわかるように、②磁気記憶素子12A対磁気記憶素子12BのMR比のばらつき、特にMR比の低下は、差動出力を得る場合には致命的であり、出力信号のS/N比を極端に落としてしまう。しかし、ここでは、定電流回路108Bを設けているため、センスビット線21A、21Bの各々における電流のぶれは、総電流値に応じて押さえ込まれる。これにより、電流電圧変換用抵抗器23A、23Bの電圧降下の変動はばも一定に抑えられ、センスアンプ106Bの入力におけるオフセット電圧のばらつきを軽減することが可能である。よって、この場合にも、読み出しの出力信号のS/N比を改善することができる。

【0118】

20 (逆流防止用ダイオードの作用)

また、以上の読み出し動作において、各磁気記憶素子12A、12Bのセンスワード線31の側の電流経路上に設けられているダイオード13A、13Bは、電流がセンスワード線31から磁気記憶素子12A、12Bへと逆流することを防止している。

【0119】

ここでは、ビット列Y_n、ワード列X_nの各磁気記憶素子12A、12Bが、共通のセンスビット線21A、21B、共通のセンスワード線31に接続されているため、センシング電流の一部は正規の経路を外れ、読み出し対象ではない磁気記憶素子12A、12Bを介して別の経路に流出してしまい、そのまま接地へ流れ落ちたり、再び正規の経路上に回り込んだりするおそれがある。それでもこうした配線構造をとるのは、記憶セル12の選択スイッチをビット方向、ワード方向とも列ごとに単一のスイッチで共用させ、配線を簡素化するためでもあるが、ここでは、列ごとに定電流回路108Bを共用させるためである。

【0120】

40 こうした正規の経路から外れて回路内を流れる電流成分、特に回り込み成分は、磁気記憶素子12A(12B)を逆流する経路上に発生する。しかしながら、ここでは、一方向素子であるダイオード13A、13Bにより、その経路が遮断される。

【0121】

図13は、本実施の形態に対する比較例として、ダイオード13A、13Bが磁気記憶素子12A、12Bの電流経路上にない場合の漏れ電流の経路(i)と、回り込みの経路(ii)、(iii)とを示したものである。50 同図においては、ビット列Y_n、ワード列X_{n+1}の記

憶セル12が、いままさに情報が読み出されるセルである。すなわち、実線で示したのが正規の電流経路である。

【0122】

これに対し、センシング電流の一部は、例えば経路(i)のように、センスワード線31からワード列方向に隣接する磁気記憶素子12A、12Bに逆流し、さらにセンスビット線20n+1へ流れる。なお、同様の漏れは、同じセンスワード線31に共通に接続されている多数の磁気記憶素子12A、12B(図示せず)に対しても生じる。

【0123】

また、例えば経路(i i)のように、記憶セル12の低抵抗側の磁気記憶素子12A(12B)を廻って回り込む経路が存在する。同図では、すべての記憶セル12において磁気記憶素子12Aの方を低抵抗側として経路を図示している。この場合、センスビット線21Aをさらに下り、ビット列方向に隣接し、低抵抗である磁気記憶素子12Aを通り、センスワード線31を介してさらにワード列方向に隣接する記憶セル12の低抵抗側の磁気記憶素子12Aに逆流する。その後、正規の経路とは異なるセンスビット線21Aを、選択されたセンスワード線31に接続されている磁気記憶素子12A(図ではビット列方向に隣接している)まで上がり、この低抵抗の磁気記憶素子12Aに流入し、ついには選択されたセンスワード線31に流れ込む。同様の回り込みは、同じセンスビット線21Aに接続された多数の磁気記憶素子12A(図示せず)、それらの磁気記憶素子12Aと接続されたセンスワード線31を同じくする多数の磁気記憶素子12A、12B(図示せず)に対しても生じる。磁気記憶素子12Bが低抵抗である場合にも、また同様にして回り込みが発生する。

【0124】

もう一つの回り込みの例としては、経路(i i i)がある。この場合、同じセンスビット線21Aに接続されている磁気記憶素子12A(低抵抗側)から磁気記憶素子12B(高抵抗側)へと、磁気記憶素子12Aまたは磁気記憶素子12Bの一方を逆流することによって、ひとつの記憶セル12を通過する。さらに、反対側のセンスビット線21Bを上がり、読み出し対象の記憶セル12の磁気記憶素子12Bから正規の経路へ回り込む。

【0125】

こうした経路(i)~(i i i)はすべて、本実施の形態のように、各磁気記憶素子12A、12Bの電流経路上にダイオード13A、13Bを設けることによって遮断することができる。このようにして、磁気記憶素子12A、12Bを介して電流が漏れたり、回り込んだりすることで生じるセンシング電流の変動すなわち信号に対する雑音を低減することができる。なお、各記憶セル12の磁気記憶素子12A、12Bの電流経路を1つのダ

イオードに接続させるようにした場合にも、経路

(i)、(i i)を遮断することが可能であり、電流の漏れや回り込みに一定の効果が期待される。ただし、経路(i i i)を遮断するためには、本実施の形態のように記憶セル12の中で磁気記憶素子12A、12Bは非導通とされ、互いに独立して逆流防止が施される必要がある。

【0126】

(逆流防止用ダイオードの変形例)

10 本実施の形態の逆流防止用ダイオード13A、13Bは、同じく整流作用を有する素子であるトランジスタに置き換えることが可能である。図14に、そのような変形例として、磁気記憶素子12A、12Bとセンスワード線31との間に逆流防止用トランジスタ63A、63Bを設けた場合を図示している。この逆流防止用トランジスタ63A、63Bは、ベース端子をビットデコード線20またはワードデコード線30に接続すると、センスビット線21A、21Bもしくはセンスワード線31に連動して導通させることができる。なお、そうした場合、トランジスタ22A、22Bはなくともよい。こう

20 した逆流防止用トランジスタ63A、63Bも同様に一方向素子として機能する。

【0127】

逆流防止用トランジスタ63A、63Bを用いることの利点は、導通時の電圧が、ダイオードの順方向電圧に比べてかなり低いことが挙げられる。トランジスタの導通時のコレクターエミッタ間電圧は非常に低い(およそ0.2V程度)が、ダイオードは順方向電圧としてバンドギャップ Φ (0.65V~0.75V)の電圧がかかる。本実施の形態の読み出し回路では、電流経路が電源Vccから接地に向けて直列に、電流電圧変換用抵抗器23A(23B)、トランジスタ22A(22B)、磁気記憶素子12A(12B)、逆流防止用ダイオード13A(13B)、トランジスタ33、電流制限抵抗器34の5段構成になっている。そのため、電圧配分を考慮する必要があるが、逆流防止用トランジスタ63A、63Bは、逆流防止用ダイオード13A、13Bに比べ、0.5V程度も低い電源電圧でも動作させることができる。また、この電圧の余剰分を振り分けるようにして、

40 回路を5段から数段上げ、さらに複雑な制御操作を行うことまでも可能となる。

【0128】

また、逆流防止用ダイオード13A、13Bは、図15に示したように、逆流防止用MOSFET73A、73Bに置き換えることも可能である。この場合、導通時のドレインソース間電圧は0.1V程度とかなり低く、その作用効果は、逆流防止用トランジスタ63A、63Bとほぼ同様である。

【0129】

50 なお、これらの整流素子は、図16~図18に示したよ

うに、センスビット線21A、21Bと磁気記憶素子12A、12Bそれぞれの間に設けられていてもよい。

【0130】

(センスアンプより後段の信号出力動作)

さらに、入力線40A、40Bから取り出す電位差をセンスアンプ106Bにより差動増幅することにより(図2)、値が一層大きく、かつS/Nの良い出力が得られる。出力線51A、51Bには、各ビット方向単位読出回路80(…、80n、80n+1、…)の多数のセンスアンプ106Bがコレクタ側でカスケード接続されているが、複数あるビットデコード線20の1つが選択されると同時にトランジスタ44が導通することによって、対応する1つのセンスアンプ106Bがアクティブとなり、そのコレクタ出力だけが出力線51A、51Bに送出される。

【0131】

なお、ここでは、トランジスタ22A、22B、抵抗器23A、23Bおよびセンスアンプ106Bは、記憶セル12と同じ幅Wの領域内に集積配置されているため、これらのうち差動対をなす素子同士は、動作中の温度変化もほぼ等しくなる。これにより、温度変化によって生じる出力値の変動が抑えられる。

【0132】

センスアンプ106Bの出力は、出力線51A、51B、読み出し用データバス112を経由して、最終的には出力バッファ102Bに入力される。出力バッファ102Bは、入力された信号電圧を、増幅すると共に2値の電圧信号として外部データ端子D0～D7から出力する。

【0133】

このように本実施の形態においては、磁気記憶素子12A、12Bは環状磁性層5を備えたものとしたので、効率よく書き込みを行うことができると同時に、第2の磁性層3の磁化方向を十分に揃えて情報を確実に書き込むことができる。翻って情報を読み出す場合、このように第2の磁性層3の磁化が所定方向に十分揃った状態であれば、第1の磁性層1との相対的な磁化方向によって、磁気記憶素子12A(12B)におけるトンネル電流値もはっきりと大小の2値状態を示すことになり、S/N比の高い出力値が得られる。

【0134】

これに加え、ここでは、記憶セル12を1対の磁気記憶素子12A、12Bで構成し、双方に流れる電流を差動出力するようにしたので、センスビット線21A、21Bに結合した雑音が除去される。そのうえで、センスワード線31の接地側に定電流回路108Bを設け、読み出し回路に流れるセンシング電流の総和が一定に保たれるようにしたので、記憶セル12ごとの特性のばらつきに対し、センスビット線21A、21Bの電流値の差は、常に一定の範囲内に収められる。また、総電流値を

一定値に規格化することは、1対の磁気記憶素子12A、12Bの相互間の抵抗のばらつきに対しても、センスビット線21A、21Bの各電流値の変動を押さえ込む効果を有している。これにより、安定した差動出力を得ることが可能となり、読み出し信号のS/N比を向上させることができる。なお、定電流回路108Bのトランジスタ33は、ワードデコード線30の半導体スイッチとしても機能するようにしたので、比較的平易に製造でき、回路設計上も有利である。

【0135】

また、各磁気記憶素子12A、12Bとセンスワード線31との間に、一方向素子としてダイオード13A、13Bを設けるようにしたので、センスワード線31から磁気記憶素子12A、12Bへ電流が逆流することが防止される。これにより、共通のセンスビット線21A、21Bまたは共通のセンスワード線31に接続された記憶セル12の間、および、1つの記憶セル12の中の磁気記憶素子12Aと磁気記憶素子12Bの間に電流経路ができることが防止され、センシング電流の漏れや回り込みが遮断されるために、雑音を低減することができる。

【0136】

さらに、本実施の形態では、センスアンプ106Bの回路エリアに、トランジスタ22A、22B、および抵抗器23A、23Bをセンスアンプ106Bと共に集積配置するようにしたので、センスアンプ106Bと共に差動増幅回路を構成し、対をなす回路素子が、互いに近接した位置に形成される。よって、これらの回路素子は、同様の温度条件で駆動されることから、温度変化による特性ばらつきが抑制され、この差動増幅回路における雑音を防止することができる。

【0137】

以上のように、本実施の形態の磁気メモリデバイスにおける読み出し回路では、記憶セル12ごとの特性のばらつきによる雑音、1対の磁気記憶素子12A、12Bの相互間の抵抗のばらつきによる雑音を低減させると共に、データ線に結合した雑音、センスアンプ106Bならびにその他の差動対の特性ばらつきによる雑音、電源回路から回り込む周辺回路の雑音を抑えるようにしたので、読み出し信号出力のS/N比を大きく向上、改善することができる。よって、この磁気メモリデバイスは、読み取り誤差の少ない安定した動作を行うことが可能である。また、S/N比向上により、大きな信号出力値を得ることができることから、記憶セル12を高集積化する場合にも十分な出力を得ることが可能であり、その一方で、低電流、低電圧の駆動を実現することも可能である。

【0138】

なお、一般に、磁気メモリデバイスでは、極薄のトンネルバリア層が絶縁破壊されるのを防ぐため、磁気記憶素

子にトンネル電流を流すときには素子にかかる電圧を適切な値とする必要がある。本実施の形態の磁気メモリデバイスは、定電流回路108Bを備えることによって、トンネル電流を小さくし、トンネルバリア層2にかかる電圧をその電氣的耐圧よりも十分に低い電圧まで下げて駆動することができる。また、本実施の形態の読み出し回路は、電流経路が電源Vccから接地に向けて直列に、電流電圧変換用抵抗器23A(23B)、トランジスタ22A(22B)、磁気記憶素子12A(12B)、逆流防止用ダイオード13A(13B)、トランジスタ33、電流制限抵抗器34の5段構成になっている。その電圧分圧の関係から、これらの磁気記憶素子12A(12B)における電圧降下を現実に0.1V~0.3V程度と低く抑えることができる。無論、こうした場合に磁気記録素子12A、12Bから直接的に得られる電圧出力(電流電圧変換抵抗23A、23Bにおける電圧降下)は微弱なものであるが、センシング電流を定電流とした効果によりS/N比は高い。ここでは、この出力をさらに数段の差動増幅回路で増幅させて最終出力とするため、十分な読み出し感度を得ることができる。すなわち、この磁気メモリデバイスは、従来に比べ極めて微弱なトンネル電流で駆動させ、磁気記憶素子12A、12Bの絶縁破壊を防止すると同時に、値が十分に大きく、かつ良好なS/N比の信号出力を得ることが可能である。

【0139】

【実施例】

〔センスアンプによる増幅度の検証〕

上記実施の形態と同様の実回路(図2参照)において、情報の読み出し中に、各測定点における電流値を電流ブ

ローブを用いて測定した。測定点は、図19に示したP

1~P9の9点である。
すなわち、
測定点P1 ... トランジスタ22Aのコレクタ端子
測定点P2 ... トランジスタ22Bのコレクタ端子
測定点P3 ... トランジスタ22Aのベース端子
測定点P4 ... トランジスタ22Bのベース端子
測定点P5 ... トランジスタ41Aのコレクタ端子
測定点P6 ... トランジスタ41Bのコレクタ端子
測定点P7 ... トランジスタ41Aのベース端子
測定点P8 ... トランジスタ41Bのベース端子
測定点P9 ... トランジスタ44のコレクタ端子
である。これらの電流値を、ビットデコード線20に印加するビットデコード電圧の値を変化させて測定した。

【0140】

図20は、測定点P1~P4の測定結果を示している。実回路では、磁気記憶素子12Aに接続される側でセンスビット線21Aに流れる電流は、トランジスタ22Aのエミッタ電流、つまりトランジスタ22Aのコレクタ電流とベース電流の総和となる。測定結果からは、測定

点P1のコレクタ電流が、測定点P3のベース電流を無視できる程度に大きいことがわかる。よって、トランジスタ22Aのコレクタ端とエミッタ端では流れる電流はほぼ等しいことがわかる。また、トランジスタ22Bに対する測定点P2のコレクタ電流と、測定点P4のベース電流との関係も同様であり、トランジスタ22Bのコレクタ端とエミッタ端では流れる電流はほぼ等しいことがわかる。

【0141】

図21は、測定点P1~P9の測定結果を示している(図20とは縦軸の電流値のスケールが異なる)。電流電圧変換用抵抗器23A、23Bに流れる電流は分岐して、それぞれ、ビット列選択用スイッチであるトランジスタ22A、22Bのコレクタ端子と、センスアンプ106Bの差動対であるトランジスタ41A、41Bのベース端子とに流れ込む。さらに、トランジスタ41A、41Bのコレクタ電流、ベース電流の総和がそれぞれのエミッタ電流となるが、そのエミッタ電流は、共通の配線で合流してトランジスタ44のコレクタ端子に流れ込む。

【0142】

トランジスタ41A、41Bのコレクタ電流は、各ベース電流(測定点P7、P8の電流)が増幅されて得られたものである。測定結果からは、測定点P5のトランジスタ41Aのコレクタ電流と、測定点P6のトランジスタ41Bのコレクタ電流の差分が、元の出力であるセンスビット線21A、21Bの電流差に比べて極めて大きいことがわかる。その電流差の比率は、図示の測定データの場合およそ200倍にも及ぶ。したがって、この磁気メモリデバイスでは、読み出し信号をこのようなセンスアンプ106Bで増幅することで、非常に大きな出力が得られることがわかる。

【0143】

なお、測定結果からは、測定点P7、P8におけるトランジスタ41A、41Bのベース電流も非常に小さいことがわかり、電流電圧変換用抵抗器23A、23Bに流れる電流は、トランジスタ22A、22Bのコレクタ端子に流れ込む電流とほぼ等しいといえる。よって、この読み出し回路において、センスアンプ106Bは磁気記憶素子12A、12Bの電流変化を忠実に増幅していることが確認できた。

【0144】

〔定電流回路の効果の検証〕

次に、実施の形態と同様の実回路において、磁気記憶素子12A(12B)の抵抗ばらつきに対する読み出し信号(電圧)の変動を、2通りの場合に分けて調べた。

【0145】

(記憶セル間の抵抗ばらつきに対する効果)

まず、各磁気記憶素子12A、12Bの低抵抗時の抵抗値(R_L)、高抵抗時の抵抗値(R_H)が、記憶セル1

2間で異なる場合について調べた。すなわち、それぞれ抵抗値 R_L 、 R_H が異なる記憶セル12からの読み出し電圧の出力値を測定した。ここで、記憶セル12ごとの抵抗値は、最大値と最小値で10倍近く変化させたが、各記憶セル12におけるMR比(R_L/R_H)は25%固定とした。

【0146】

図22は、その測定結果を表したものであり、横軸は高抵抗時の抵抗値 R_H 、縦軸は電源電圧 V_{cc} で規格化した出力電圧値を示している。同図において、白丸が高抵抗時の抵抗値 R_H をとった方の磁気記憶素子12A(12B)からの出力電圧値を、×印が低抵抗時の抵抗値 R_L をとった方の磁気記憶素子12B(12A)からの出力電圧値をそれぞれ表している。また、測定値は実線で結ばれており、点線で示したのは、電流を一对の磁気記憶素子に流し、その磁気記憶素子の電圧降下を直接的にセンスする構成の比較例における結果である。

【0147】

図示した結果からは、実施の形態の読み出し回路では、記憶セル12ごとの抵抗値がこれほど大きく異なっても、抵抗値 R_L の側からの出力電圧、および抵抗値 R_H の側からの出力電圧は、それぞれほぼ一定値をとることが明らかである。よって、両者の差分である最終出力電圧も、記憶セル12ごとの抵抗値ばらつきによらず常に一定であることが確認できた。これは、実施の形態において説明したように、定電流回路108Bを設け、抵抗値 R_L 、 R_H をとる磁気記憶素子12A、12Bに流れる電流の総和を規格化することの効果である。

【0148】

(比較例)

この実施例の比較例として、電流を一对の磁気記憶素子に流し、その磁気記憶素子の電圧降下を直接的にセンスする構成の読み取り回路にて、同様の測定を行った。図23に、比較例の等価回路図を示す。この読み取り回路は、一方が高抵抗、他方が低抵抗となって情報を記憶する1対の磁気記憶素子(可変抵抗 R_1 、 R_2 として図示)の電圧の差分を読み取る方式をとり、対をなす磁気記憶素子の各々は電流源、セル選択用半導体スイッチに直列に接続されるが、この直列配線は互いに別途独立している。また、この場合には磁気記憶素子の電圧降下を S 、 $/S$ として直接読み出しているために、電流電圧変換用抵抗器は用いられない。その測定結果は、図22に点線で示されている。このように、各磁気記憶素子に対する電流を一定とする回路では、磁気記憶素子の抵抗に比例して出力値が大きく変わる。よって、磁気記憶素子の抵抗ばらつき具合が、直ちに出力値に変動となって影響することになる。

【0149】

(磁気記憶素子間の抵抗ばらつきに対する効果)

次に、各記憶セル12で対をなしている磁気記憶素子1

2A、12Bの間で、MR比がばらつく場合について調べた。ここでは、抵抗値 R_H を固定し、抵抗値 R_L を変えることで各記憶セル12のMR比を変え、それぞれの出力電圧を測定した。

【0150】

図24は、その測定結果を表したものであり、横軸はMR比(%)、縦軸は電源電圧 V_{cc} で規格化した出力電圧値を示している。同図では、白丸が抵抗値 R_H をとった方の磁気記憶素子12A(12B)からの出力電圧値、×印が抵抗値 R_L をとった方の磁気記憶素子12B(12A)からの出力電圧値をそれぞれ表している。また、測定値は実線で結ばれており、点線は、抵抗値 R_H 、 R_L それぞれの電圧に対する定電流効果によるオフセット基準値である。

【0151】

図示の結果からは、実施の形態の読み出し回路では、抵抗値 R_L 側からの出力電圧と、抵抗値 R_H 側からの出力電圧は、MR比が小さくなるにつれ互いに漸近する傾向が見て取れる。つまり、各記憶セル12ごとにMR比がばらつくと、その影響が電圧出力にはこのような形で表れることがわかる。それでも、抵抗値 R_L 側の出力電圧と、抵抗値 R_H 側の出力電圧は、基準値を挟んでそれぞれ一定の範囲内に収まっている。この場合、MR比が15%程度以上あれば両者の差分は出力として十分であることから、同一の回路構成で定電流回路を設けない場合と比較しても、読み取り誤差が生じる可能性は少なくなっている。

【0152】

また、こうした構成の回路一般に言えることであるが、磁気記憶素子12A、12Bを流れる各電流は、総和が常に等しいことから、そのときの素子抵抗の比に応じ、常に総和の半分の値を中心とする上下に対称な値をとる。図24に点線で示したオフセット基準値は、まさにこの値を電圧に変換したものであり、その位置は電流の総和を変えない限り、不変である。そこで、センスアンプ106Bで差動増幅する際の閾値となる電圧レベルを、このオフセット基準値に合致させれば、センスアンプ106Bからは適正值の電圧出力が得られる。これも、定電流回路を付加したことの効果である。

【0153】

なお、本発明は、上記実施の形態および実施例には限定されず種々の変形実施が可能である。例えば、上記実施の形態では、センスアンプ106Bや定電流回路108B、およびトランジスタ22A、22B等のスイッチング素子に、バイポーラトランジスタを用いるようにしたが、これ以外にも、CMOS(Complementary MOS)等の半導体素子で構成することができる。

【0154】

なお、本発明の磁気メモリデバイスは、環状磁性層を備

えた磁気抵抗効果素子の2つを用いて1単位情報を記憶するものであればよく、その書き込み／読み出しの方式を上記実施の形態に限定されるものではない。例えば、2つの磁気抵抗効果素子に同一の情報を記憶させ、正常状態では一方の素子のみから読み出しを行い、読み出しエラーが発生した場合に他方の素子から読み出しを行うようにすることもできる。このように、1単位情報につき2素子を用いることができることから、本発明の磁気メモリデバイスは、1単位情報を1素子に対応させる場合に比べ、適用可能な書込方法および読出方法の自由度が高くなっている。

【0155】

前述のように、上記実施の形態では、積層面に垂直な方向に電流が流れる積層体を含む磁気抵抗効果素子として、磁気メモリ素子12をTMR素子であるものとして説明したが、これをCPP-GMR素子で置き換えてもよい。

【0156】

また、本発明の定電流回路については、記憶セルを構成する一対の磁気抵抗効果素子の素子構造を特に限定せず、いわゆる差動読み出しを行う磁気メモリデバイスに広く適用が可能である。すなわち、一対の磁気抵抗効果素子が、実施の形態で説明した磁気メモリ素子12の構成と同一である必要はなく、例えば、環状磁性層5を有せず、第1の磁性層1、非磁性層2および感磁層である第2の磁性層3が含まれて積層した積層体に読出センシング用導線が接続され、積層面に垂直に電流を流して情報を読み出すような構成となってもよい。またさらに、一対の磁気抵抗効果素子が、積層面に平行な方向に電流が流れる積層体を含む磁気抵抗効果素子(CIP (Current flows In the Plane)-GMR)であってもよい。配線構造に関しても、1方向の読出線(第2の読出線)に対して複数の記憶セルが接続されていること以外には、書込線、読出線とも特に限定されない。そのような場合にも、本発明の定電流回路は、実施の形態と同様の作用、効果を発揮することができる。

【0157】

また、上記実施の形態では、センスビット線21A、21Bを一対の第1の読出線に対応させ、センスワード線31を第2の読出線に対応させたが、本発明の第1および第2の読出線の配線方向は、実施の形態に限定されず、上記と逆の対応関係としてもよい。

【0158】

【発明の効果】

以上説明したように、本発明の磁気メモリデバイスによれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体

と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に第1および第2の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備え、1つの記憶セルが一対の磁気抵抗効果素子を含んで構成されているようにしたので、書き込みの際に、環状磁性層の作用により感磁層の磁化を効率よく反転させることができる。しかも、2つの磁気抵抗効果素子を用いて1単位情報が記憶されるので、効率よく、かつ確実に情報書き込みを行うことができると同時に、情報の書き込み方式と読み出し方式とに自由度を与えることができる。

【0159】

特に、一対の第1の読出線の各々から一対の磁気抵抗効果素子の各々読出電流が供給され、この一対の読出電流値の差分に基づいて記憶セルから情報を読み出すようにすれば、読出電流は差動出力され、第1の読出線各々に生じる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が除去される。従って、書き込み効率に優れるだけでなく、読み出し時のS/N比が高く、より大きな信号出力を得ることが可能となる。

【0160】

また、一対の磁気抵抗効果素子に供給された読出電流の電流経路上に設けられた整流素子と、一対の磁気抵抗効果素子を流れた読出電流を接地へと導く第2の読出線とを備えるようにすれば、整流素子により、読み出し対象の各記憶セルに向かって、共通の第2の読出線に接続されている他の記憶セルから電流が回り込んでくることが阻止される。よって、読出電流の一部成分が、正規の経路から外れて漏れ出したり、回り込んだりすることを防止することができ、読み出し信号出力のS/N比を向上させることが可能となる。

【0161】

特に、一対の磁気抵抗効果素子に供給された読出電流の各電流経路上に、整流素子がそれぞれ設けられているようにすれば、各記憶セル間、あるいは磁気抵抗効果素子同士の間において、共通の第2の読出線に接続されている他の記憶セルまたは磁気抵抗効果素子から電流が逆流してきたり、さらに第1の読出線にまで通り抜けたりすることが整流素子によって阻止される。従って、一層効果的に読出電流の漏れや回り込みを防止することができ、読み出し信号出力のS/N比を向上させることが可能となる。

【0162】

また、1つの記憶セルにおける一対の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路を備えるようにすれば、読出電流は総和が常に一定量だけ流れるよう制御される。すなわち、記憶セルに流れる総電流値が一定値に規格化されることで、磁気抵抗効果素子相互の抵抗ばらつきに対し、一対の磁気抵抗効果素子の各々の出力値のばらつきは一定範囲内

に収められる。従って、出力値の差分も一定範囲内の値をとることから、安定した差動出力を得ることが可能となり、読出電流が微弱な場合であっても読み出し信号出力のS/N比を向上させることが可能となる。

【0163】

さらに、一対の第2の半導体スイッチ、一対の電流電圧変換用抵抗器、およびセンスアンプ回路が、同一の領域内に集積配置されているようにすれば、対となる素子の各々は、近接して配置されることで環境温度がほぼ等しくなり、駆動中の温度変化によって互いの特性値がかけ離れていくことが防止され、これらの回路が適正な差動動作を行うことが保障される。よって、信号雑音の発生を防止することが可能となる。

【0164】

本発明に係る磁気メモリデバイスの書込方法によれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に複数の導線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備えた磁気メモリデバイスにおいて、一対の磁気抵抗効果素子を含むように1つの記憶セルを構成し、環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって、一対の磁気抵抗効果素子の各々における感磁層の磁化方向が互いに反平行を向くように変化させることにより記憶セルに情報を書き込むようにしたので、一対の磁気抵抗効果素子において、感磁層の磁化方向を互いに反平行、つまり向かい合わせか、反対向きに変化させることにより2値情報が書き込まれる。したがって、この書き込み動作は、環状磁性層を含む磁気抵抗効果素子において行われるため効率よく、かつ確実な情報の書き込みを達成でき、同時に、情報の書き込み方式・読み出し方式に自由度を与えることができる。また、本方法を適用して書き込まれた情報は、確実に書き込まれることから、その読み出し時に、S/N比がより高い出力信号を得ることが可能である。

【0165】

さらに、本発明に係る磁気メモリデバイスの読出方法によれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に複数の導線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備えた磁気メモリデバイスにおいて、一対の磁気抵抗効果素子を含むように1つの記憶セルを構成し、一対の磁気抵抗効果素子に、各積層体の積層面に

垂直な方向に読出電流を供給し、積層体に流れる電流に基づいて記憶セルの情報を読み出すようにしたので、対をなす磁気抵抗効果素子の感磁層の相対的な磁化方向に応じて、これらの層面に垂直方向に電流を流した場合の電流値が異なることを利用し、磁気抵抗効果素子の積層体部分に流した読出電流の値より、感磁層の磁化方向として記憶された所定の情報が読み出される。従って、高い読み出し自由度を兼ね備えることが可能である。

【0166】

- 10 本発明に係るもう1つの磁気メモリデバイスによれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子とを備え、1つの記憶セルが一対の磁気抵抗効果素子を含むように構成し、記憶セルの一対の磁気抵抗効果素子に対してそれぞれ読出電流を供給するための一対の読出線と、一対の読出線から一対の磁気抵抗効果素子にそれぞれ供給された一対の読出電流の値の差分に基づいて記憶セルから情報を読み出す読出回路と、1つの記憶セルにおける一対の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路とを備えるようにしたので、各記憶セルが一対の磁気抵抗効果素子から構成され、対をなす磁気抵抗効果素子を流れる一対の読出電流の差分に基づいて情報が読み出される。その際に、定電流回路によって一対の磁気抵抗効果素子を流れる読出電流の総和が規定されることで、磁気抵抗効果素子相互の抵抗ばらつきに起因する読出電流のばらつきが一定範囲内に収められる。これにより、安定した差動出力を得ることができ、読み出し信号出力のS/N比を向上させることが可能となる。
- 20
- 30

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

【図2】図1に示した磁気メモリデバイスの記憶セルとその読み出し回路の構成を表す図である。

【図3】図2に示した読み出し回路のうち、センスアンプ全体の構成を説明するための回路図である。

【図4】図1に示した記憶セル群のY方向駆動回路部の周辺の実装の様子を表す構成図である。

- 40 【図5】図4に示したY方向駆動回路部の実際の回路配置を表す図である。

【図6】図5に示した単位駆動回路のうちセンスアンプ回路エリアのパターン配置図である。

【図7】図1に示した記憶セルの具体的構成を示す断面図である。

【図8】図1に示した磁気メモリデバイスの記憶セルとその書き込み用配線構造を表す図である。

【図9】図7に示した記憶セルの等価回路を表す図である。

- 50 【図10】図7に示した記憶セルにおける情報記憶の方

法を説明するための図である。

【図11】図7に示した記憶セルにおける情報書き込み方法を説明するための図である。

【図12】図1に示した磁気メモリデバイスにおける記憶セルからの読み出し動作原理を説明するための図である。

【図13】図2に示した読み出し回路の比較例を説明するための回路図である。

【図14】図2に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図15】図2に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図16】図2に示した読み出し回路における逆流防止用ダイオードの変形例に係る配置を示す図である。

【図17】図2に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図18】図2に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図19】本発明の磁気メモリデバイスの実施例に係る読み出し回路の図である。

【図20】図19に示した読み出し回路におけるビットデコード電圧と測定点P1～P4の電流測定値との関係を示す図である。

【図21】図19に示した読み出し回路におけるビットデコード電圧と測定点P1～P9の電流測定値との関係を示す図である。

【図22】図19に示した読み出し回路における磁気記憶素子の記憶セル単位の抵抗変動と出力電圧との関係を示す図である。

【図23】図22に示した実施例に対する比較例の読み出し回路を説明するための等価回路図である。

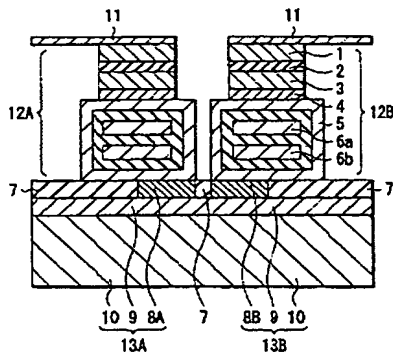
【図24】図19に示した読み出し回路における、対を

なす磁気記憶素子間の抵抗変動と出力電圧との関係を示す図である。

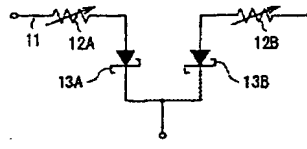
【符号の説明】

1…第1の磁性層、2…非磁性層（トンネルバリア層）、3…第2の磁性層、4…非磁性導電層、5…環状磁性層、6a…書込用ビット線、6b…書込用ワード線、7…絶縁層、8…導電層、9…エピタキシャル層、10…基板、11…読出センシング用導線、12…記憶セル、12A、12B…磁気記憶素子、13A、13B…逆流防止用ダイオード、20…ビットデコード線、21A、21B…センス用ビットデコード線（センスビット線）、22A、22B…トランジスタ、23A、23B…電流電圧変換用抵抗器、30…ワードデコード線、31…センス用ワードデコード線（センスワード線）、32…ダイオード、33…トランジスタ、34…電流制限抵抗器、40A、40B…センスアンプ入力線、41A、41B…トランジスタ、42A、42B…バイアス抵抗器、43…ダイオード、44…トランジスタ、45…抵抗器、51A、51B…センスアンプ出力線、63A、63B…逆流防止用トランジスタ、73A、73B…逆流防止用MOSFET、80…ビット方向単位読出回路、101…アドレスバッファ、102…データバッファ、102A…入力バッファ、102B…出力バッファ、103…制御ロジック部、104…記憶セル群、105、107…アドレス線、106…Y方向駆動回路部、106A…Y方向アドレスデコーダ、106B…センスアンプ、106C…Y方向カレントドライブ、108…X方向駆動回路部、108A…X方向アドレスデコーダ、108B…定電流回路、108C…X方向カレントドライブ、109…記憶セル、110、111…書き込み用データバス、112…読み出し用データバス、113…制御信号線、A0～A20…外部アドレス入力端子、D0～D7…外部データ端子、Xn…（記憶セル12の）ワード列、Yn…（記憶セル12の）ビット列、DUn…単位駆動回路。

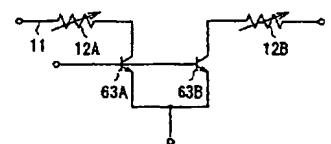
【図7】



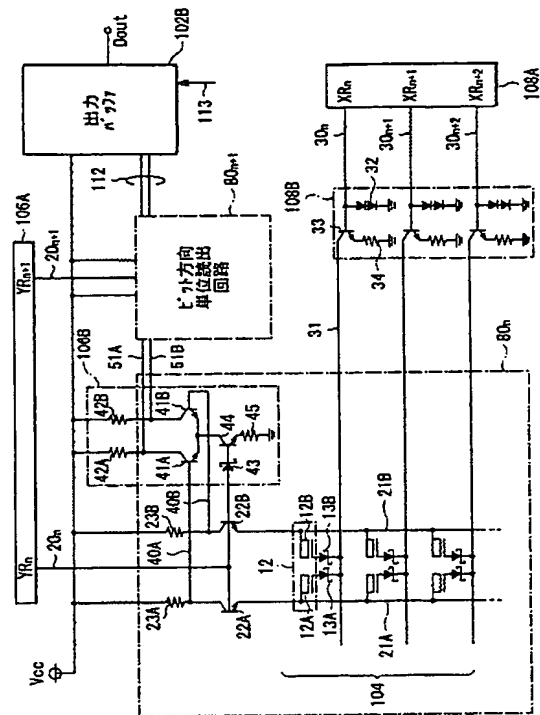
【図9】



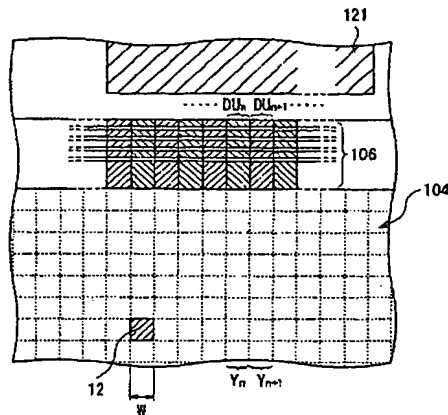
【図14】



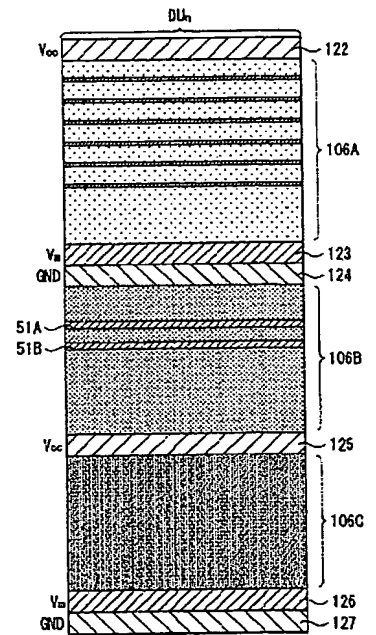
【图 2】



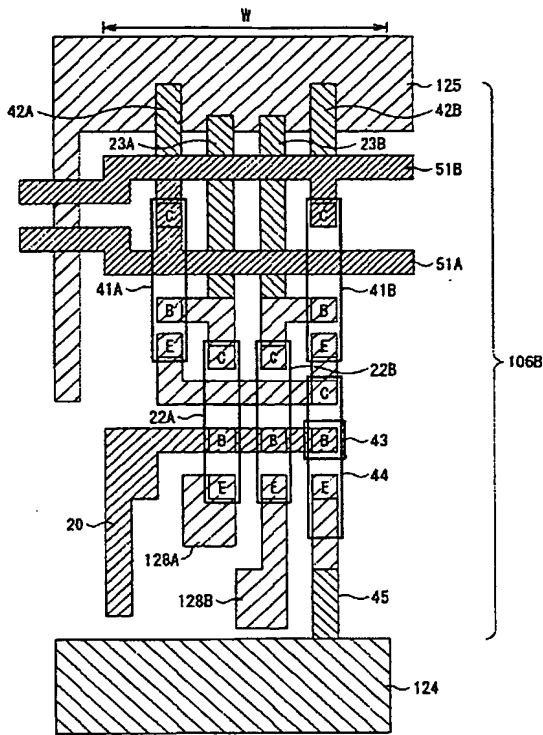
【図 5】



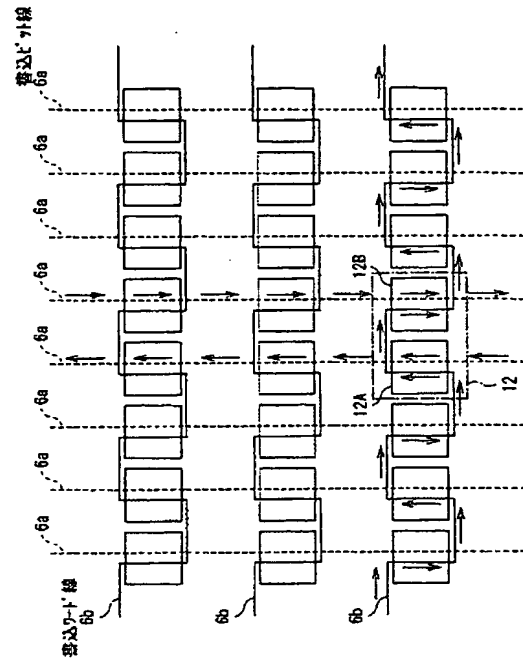
【图 15】



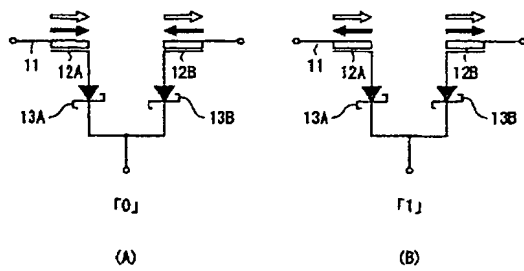
【図 6】



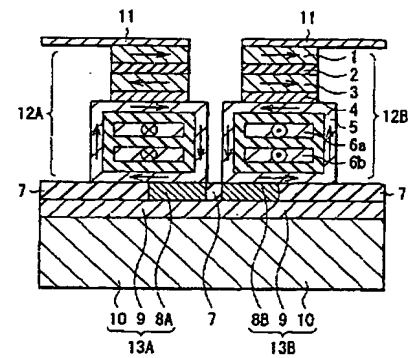
【图 8】



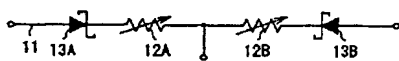
【図 10】



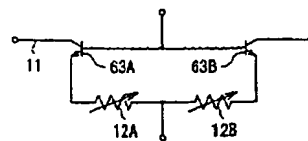
【図 1 1】



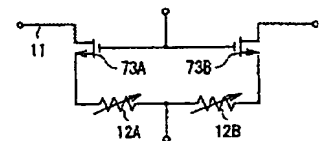
【图 16】



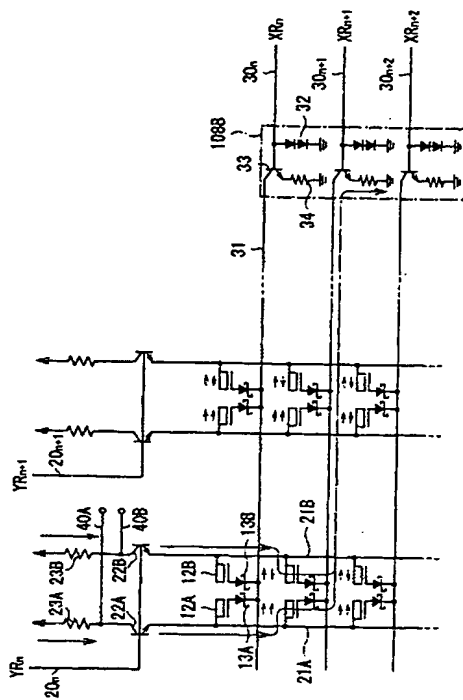
【图 17】



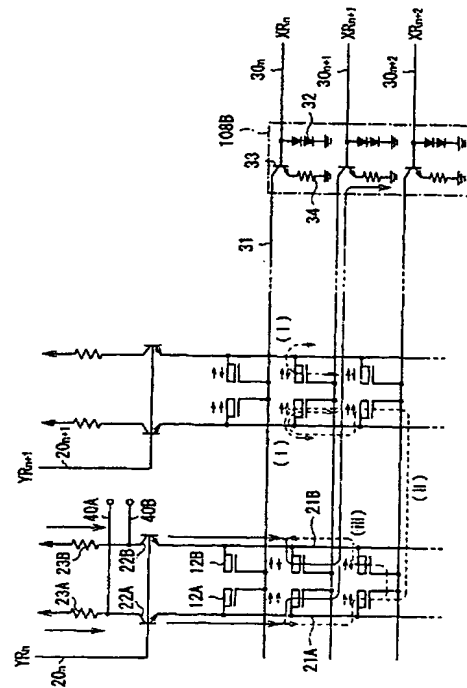
【图 18】



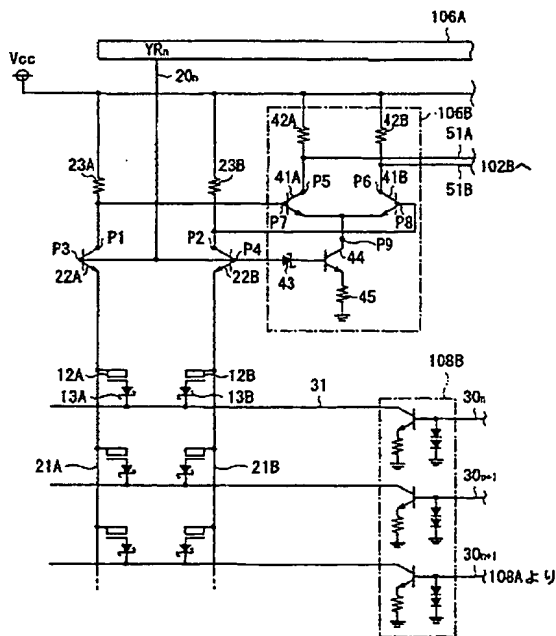
【図12】



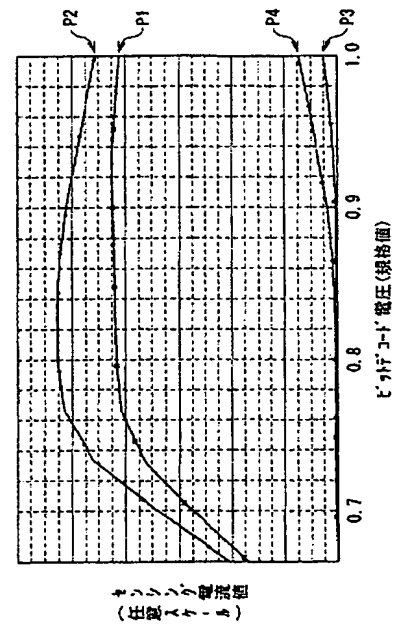
【図13】



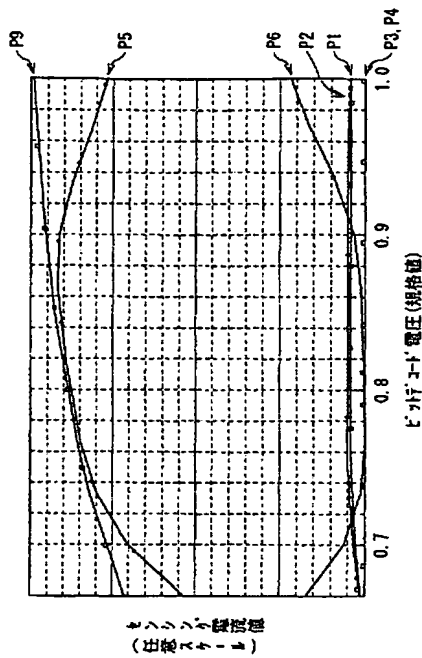
【図19】



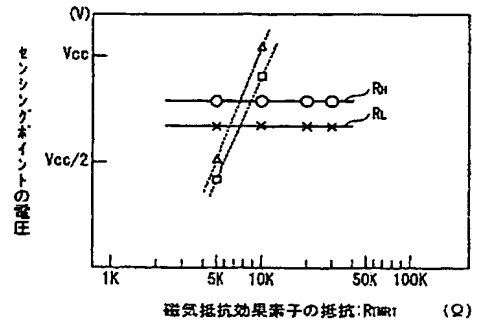
【図20】



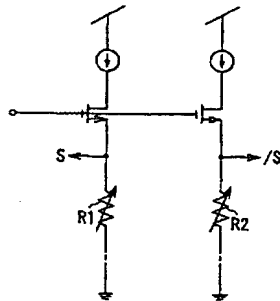
【図21】



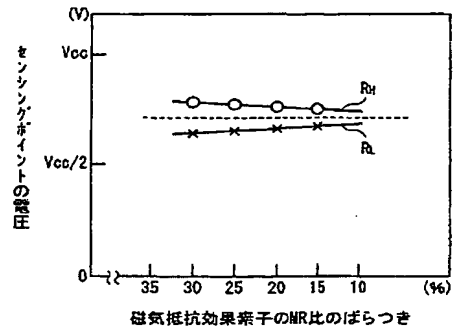
【図22】



【図23】



【図24】



フロントページの続き

(72)発明者 古賀 啓治

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

Fターム(参考) 5F083 FZ10 GA11 HA07 JA36 JA37 JA38 JA39 JA40 LA03 LA04

LA05 LA06 LA07 LA10 ZA09